

试验箱硬件使用手册

1、试验箱简介

小眼睛科技试验箱基于紫光同创 FPGA 开发的实验套件，使用的 FPGA 型号为 PG2L50H-324，试验箱配备 FPGA 板卡为小眼睛科技“PGX-NANO”开发板，搭配的外设器件分别为：VGA 显示屏、音频输入模块、音频输出模块、分频器模块、蜂鸣器模块、PMOD 转 VGA 模块、1.3 寸 oled 屏幕模块、PMOD 扩展模块、摄像头模块、ADDA 模块。

2、“PGX-NANO” FPGA 开发板简介

PGX-NANO 开发板以紫光同创 logos2 系列 FPGA 为核心，使用 FPGA 型号为 PG2L50H-324。开发板搭载的硬件资源为：ESP32 模组、DAC 芯片、按键、拨码开关、LED 灯、数码管、USB-UART 芯片、USB-JTAG 芯片、SRAM、PMOD 扩展口、40PIN 扩展口。详情请参考《PGX-NANO 硬件使用手册》。

2.1、FPGA 资源简述

紫光同创 logos2 系列 PG2L50H-324 资源如下表所述：

PG2L50H-324 资源

资源		参数
逻辑资源	触发器（FF）	71600
	LUT6	35800
	等效 LUT4	53700
RAM 资源	分布式 ram（Kbit）	593.75
	DRAM 数量（36K/块）	85
	DRAM（kbit）	3060

时钟资源	GPLL	5
	PPLL	5
硬核资源	APM	120
	ADC	1
	AES	1
IO 资源	用户 IO	210

2.2、PGX-NANO 硬件资源简介

2.2.1、电源供应

PGX-NANO 开发板使用 USB-Type C 接口进行电源供应，开发板共有两个 USB-Type C 接口，两个接口都可以通过 USB 线进行电源的供应。

2.2.2、晶振

板卡搭载了一颗频率为 50MHz 的晶振供用户使用，FPGA 对应管脚为 P17。

2.2.3、JTAG 接口

板载 USB Type C-JTAG 芯片，用户可使用 USB 线连接板卡进行程序的烧录与固化。连接 USB Type C 转 JTAG 芯片的 Type-C 接口为 J21 位置。

2.2.4、UART 接口

板载 USB-UART 芯片，用户可使用 UNB 线连接板卡进行串口通信。连接 USB Type C 转 UART 芯片的 Type-C 接口位置为 J15。

2.2.5、按键 x5

板卡上有 5 个用户按键，IO 默认高电平，按键按下时为低电平。5 个按键分别为 S0、S1、S2、S3、S4，对应 FPGA 管脚均在板卡按键位置旁有标注。

2.2.6、拨码开关 x8

板卡上有 8 个拨码开关供用户使用，IO 默认为低电平，拨码开关上后为高电平，8 个对应 FPGA 管脚均在拨码开关位置旁有标注。

2.2.7、4 位 8 段式数码管 x2

板卡上有两个 4 位 8 段式共阳数码管，FPGA 输出低电平时，对应段选信号与位选信号有效。对应 FPGA 管脚均在数码管位置旁有标注。

2.2.8、LED 灯

板卡上共有 8 个 LED 灯供用户使用，FPGA 输出高电平时 LED 灯亮，FPGA 输出低电平时 LED 灯灭，对应 FPGA 管脚均在 LED 位置旁有标注。

2.2.9、esp32 模组

板卡搭载一片 ESP32 模组供用户进行 WIFI、蓝牙通信，型号为 ESP32-WROVER-IE，用户可通过 PGX-NANO 资料包中 *esp32 固件烧录指南.pdf* 进行固件的烧录，通过指令配置 ESP32 模组，从而实现 WIFI、蓝牙通信。

2.2.10、DAC 芯片

板卡搭载了一个 DAC 芯片用于输出模拟波形，型号为 MS9708；MS9708 是一款高速 8bit、低功耗 D/A 转换器，采样速率高达 125MSPS，数据手册请参考开发板配套资料：*pgx_nano\4_datasheet\DA\MS9708.pdf*。模拟信号输出位置为按键左下角，可通过旁边的电阻旋钮控制模拟信号输出电平。管脚分配请参考 *PGX-NANO 硬件使用手册*。

2.2.11、SRAM

PGX-Nano 开发板上搭载了一片 2Mbit 的 SRAM 用于数据缓存，器件型号为 IS61WV12816DBLL，相关数据手册请参考开发板配套资料：*pgx_nano\4_datasheet\SRAM\IS61WV12816DALL.PDF*。管脚分配请参考《*PGX-NANO 硬件使用手册*》。

2.2.12、40PIN 扩展 IO

板卡预留一组 40PIN 扩展 IO，用于连接各种外设器件，IO 电压为 3.3V。对应 FPGA 管脚分配在 40PIN 扩展 IO 位置旁有标注。

2.2.13、PMOD 扩展 IOx4

板卡预留四组 PMOD 扩展 IO，分别为 P1、P2、P3、P4，用于连接各种外设器件，IO 电压为 3.3V，对应 FPGA 管脚分配在 PMOD 扩展 IO 位置旁有标注。

3、试验箱模块介绍

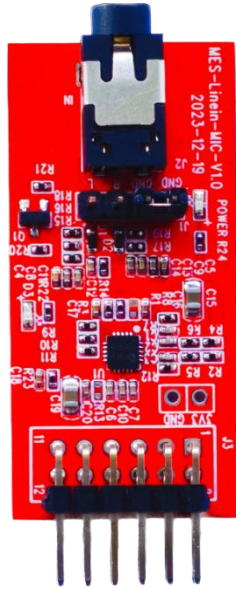
3.1、VGA 显示屏

VGA 显示屏支持分辨率为 1024*768@60，电源供应为 12V，连接电源后需要通过屏幕下 PC/AV 按键将模式调整为 VGA 模式。

3.2、音频输入模块与音频输出模块

3.2.1、音频输入模块：MES-Linein-MIC

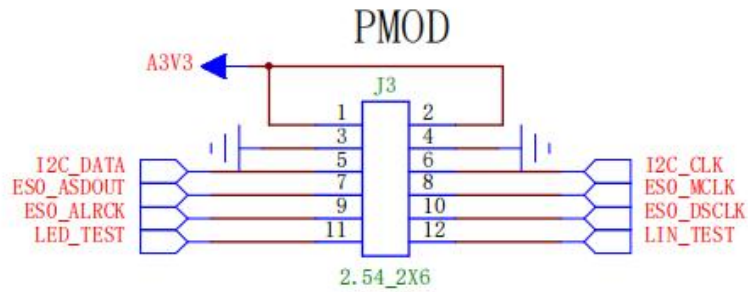
MES-Linein-MIC 是一款音频输入模块，接口为 3.5mm 的 3 环音频接口，该模块配备 ES7243E 音频芯片，可以接入音频源设备。



音频输入模块实物图

● 管脚说明：

该模块可以通过 PMOD 扩展口连接到 FPGA 开发板上，接口电压 3.3V。
MES-Linein-MIC 原理图中 PMOD 扩展口对应管脚分布如图所示：



音频模块 PMOD 管脚分布图

● 管脚描述：

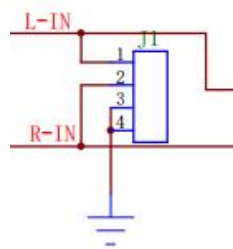
管脚名称	管脚描述
I2C_DATA	I2C data
I2C_CLK	I2C clk
ES0_ASDOUT	Serial data output/I2C address AD2
ES0_MCLK	Master clock
ES0_ALRCK	Serial data left and right channel frame clock
ES0_DSCLK	Serial data bit clock

1. 模式：master（LRCK 与 SCLK 由 ES7243E 输出）
2. 音频采样率：48KHz
3. 数据位宽：16bit
4. MCLK：12.288MHz（由 FPGA 提供）

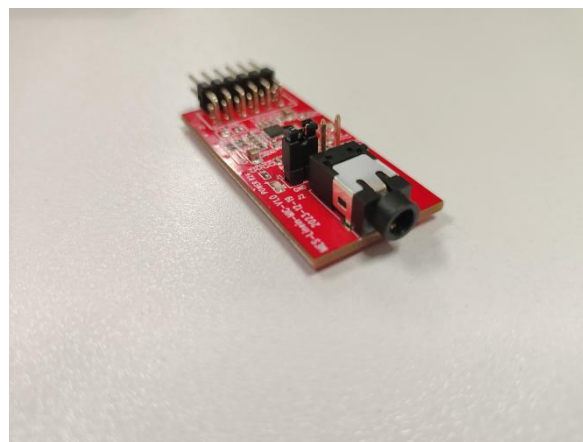
提示：音频源的输出格式应与配置参数保持一至。

● **跳线帽座：**连接左右声道。

常规的麦克风只有 1 个声道信号输出，当音频模块接收麦克风输出信号时，也同样仅一个声道有信号输入，通过跳帽将两个通道连接，可达到双声道都有信号输入的效果。



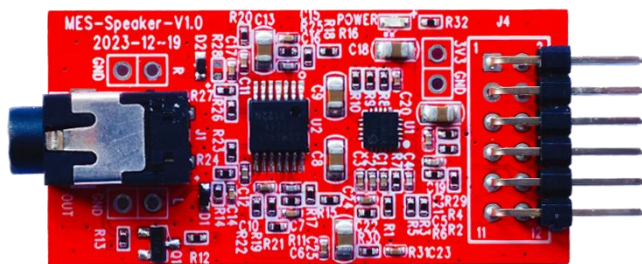
跳线帽座原理图



跳线帽实物图

3.2.2、音频输出模块：MES-Speaker

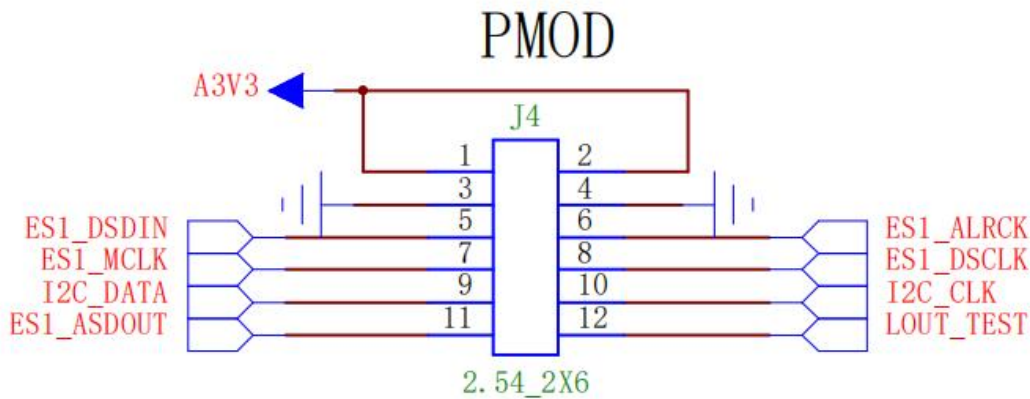
MES-Speaker 是一款音频输出模块，接口为 3.5mm 的 3 环音频接口，该模块配备 ES8156 音频芯片与 SGM8903YTS14G/TR 功放芯片，可以接入喇叭和耳机，或其他设备。



音频输出模块实物图

● 管脚说明

该模块可以通过 PMOD 扩展口连接到 FPGA 开发板上，接口电压 3.3V。
MES-Speaker 原理图中 PMOD 扩展口对应管脚分布如图所示：



音频模块 PMOD 管脚分布图

● 管脚描述

管脚名称	管脚描述
ES1_DSDIN	DAC serial data input
ES1_ALRCK	Serial data left and right channel frame clock
ES1_MCLK	Master clock
ES1_DSCLK	Serial data bit clock/DMIC bit clock
I2C_DATA	I2C data
I2C_CLK	I2C clock
ES1_ASOUT	Playback signal feedback
LOUT_TEST	LOUT_TEST 默认高电平，器件与 FPGA 连接后，为低电平状态

说明：

- 1、通过 I2C_DATA、I2C_CLK 对 ES8156 音频芯片进行配置，配置详情请参考 ES8156

音频芯片数据手册。

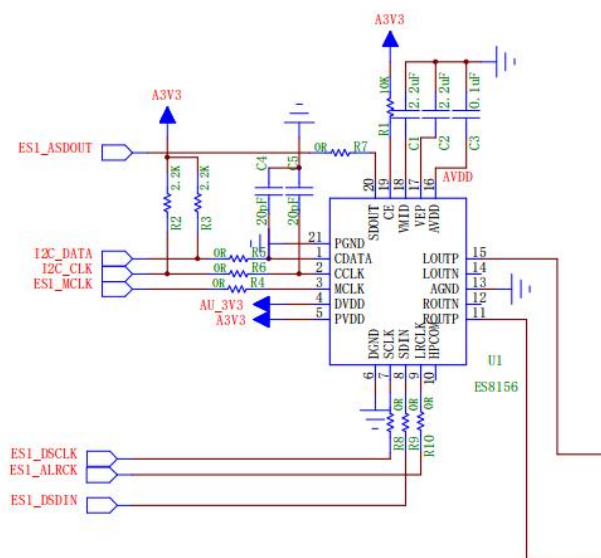
2、ES1_MCLK、ES1_ALRCK、ES1_DSCLK、ES1_DSDIN 为 I2S 信号，其中 ES1_MCLK 由 FPGA 提供，详情请参考 ES8156 音频芯片数据手册。

3、ES1_ASOUT 为 ES8156 音频芯片产生的反馈信号，可根据需要，进行使用。

4、通 IO 用作时钟输入输出端口，需要对此管脚进行 PAP_CLOCK_DEDICATED_ROUTE 约束用于控制时钟走线，因此 ES1_DSCLK 信号通过 PMOD 扩展口输入至 FPGA 时，需要对此管脚进行约束。

● 功能描述

ES8156 相关原理图如下图所示：



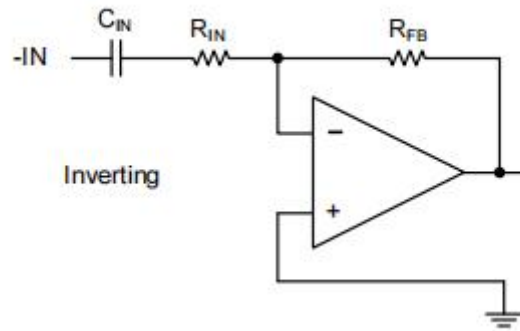
ES8156 连接原理图

- **ES8156 音频芯片的功能为：**将 FPGA 输出的音频数据转换为音频模拟信号。
- LOUTP 与 ROUTP 为左右两个声道的音频输出。
- ES8158 音频芯片在使用时，需要先进行寄存器配置，寄存器配置可参考提供的 demo，demo 中配置的参数简述如下：
 1. 模式：master（LRCK 与 SCLK 由 ES8156 输出）
 2. 音频采样率：48KHz
 3. 数据位宽：16bit
 4. MCLK：12.288MHz（由 FPGA 提供）

SGM8903YTS14G/TR 芯片的功能为：将模拟信号进行放大。

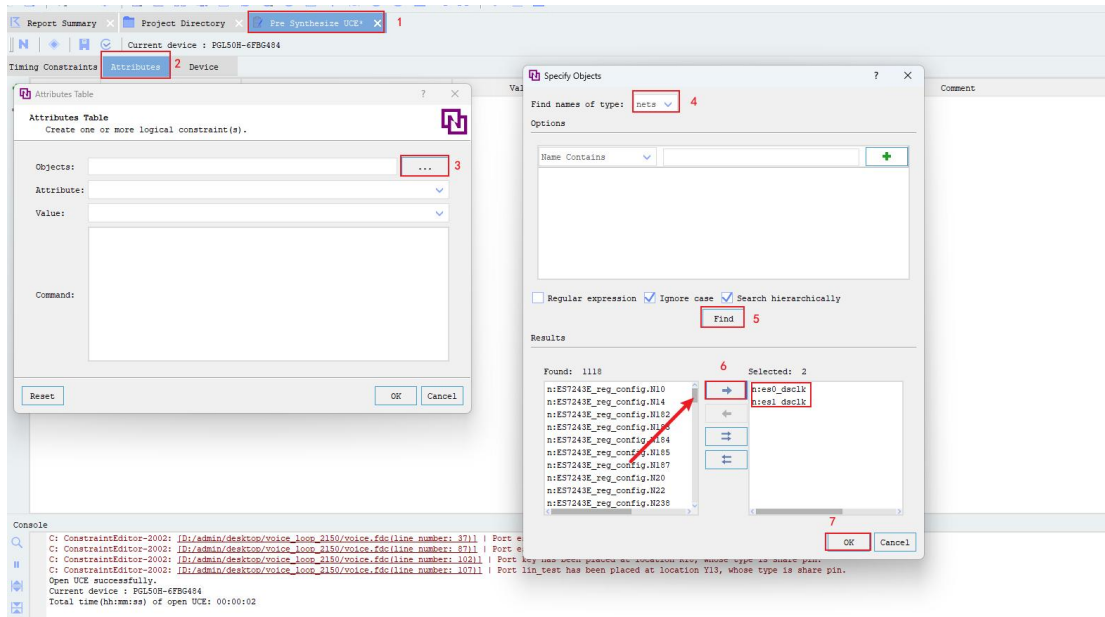
MES-Speaker 模块使用 SGM8903YTS14G/TR 芯片的 Inverting 模式，其中 R_{IN} 对应 MES-Speaker 模块原理图中的 R15、R16 电阻，阻值是 10K 欧姆，R_{FB} 对应 MES-Speaker 模块原理图中的 R11、R25 电阻，阻值是 100k 欧姆。

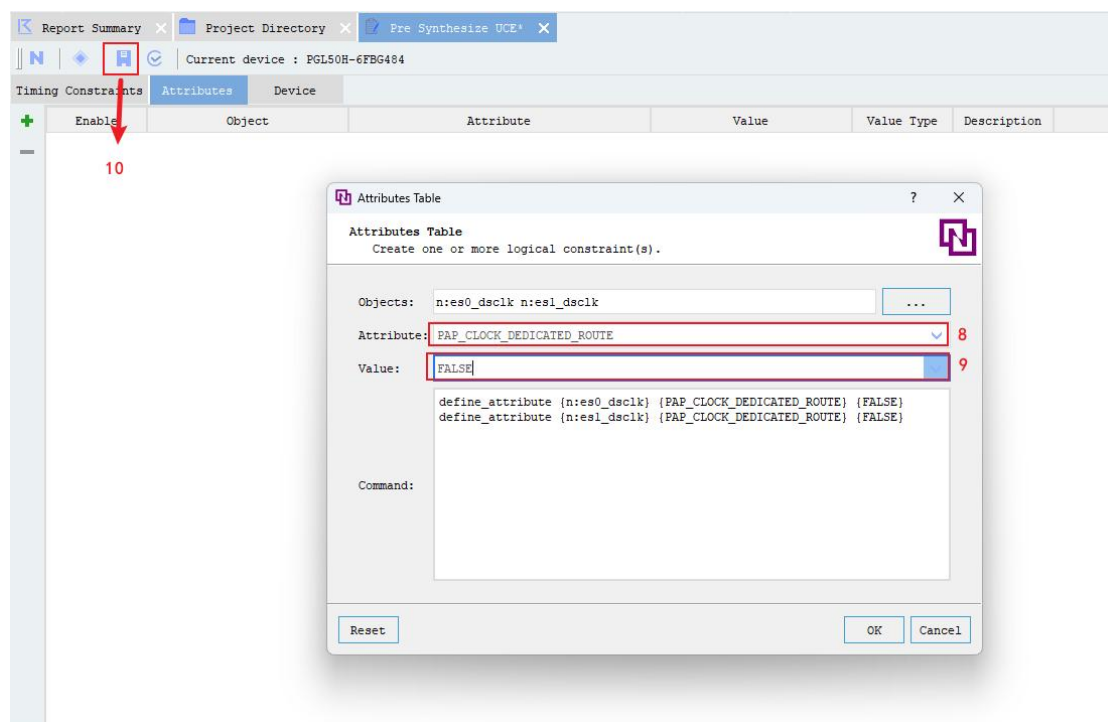
此时，放大倍数为 10。



提示：

- 对 dsc1k 信号进行 PAP_CLOCK_DEDICATED_ROUTE 约束时，可参考如下步骤：



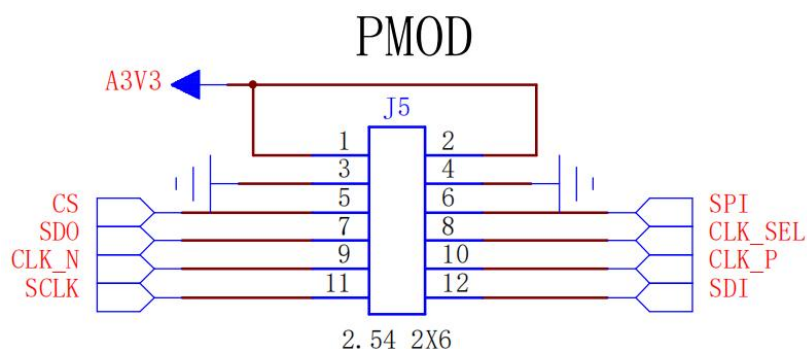


时钟约束 2

- 音频输入模块连接三环耳机线。

3.3、分频器模块

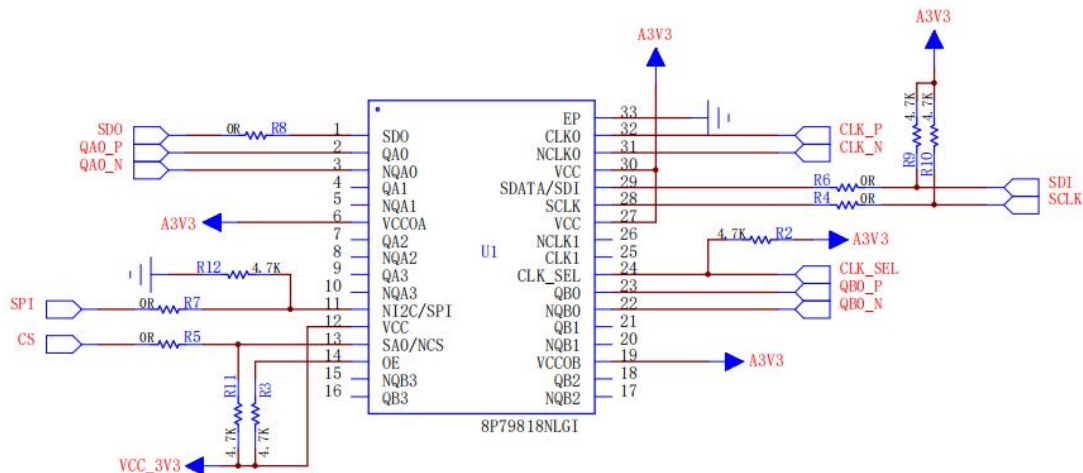
分频器模块搭载分频器芯片型号为 8P79818，支持的差分输出信号频率范围为 1Hz~700Hz 之间，LVCMOS 输出支持频率为 1Hz~200MHz 之间。可使用 SPI 或 I2C 对分频器芯片进行寄存器配置，模块接口部分原理图如下图所示：



分屏器模块接口原理图

模块芯片连接原理图如下图所示，模块时钟输入连接到分频器芯片 CLK0，NCLK0 接口，模块分频输出连接到芯片输出信号 QA0、NQA0、QB0、NQBO，芯片内部共两个 bank，分别为 bankA、bankB，相同 bank 分频出的时钟频率是一致的，因此模块分别

保留了 bankA 的一对输出 QA0、NQA0，bankB 的一对输出 QB0、NQB0，作为模块时钟输出。



8P79818 芯片连接部分原理图

通过配置分频器芯片寄存器，可以控制输出使能、分频系数、输出时钟信号类型等参数。配置寄存器可使用 SPI 或 I2C 通信协议。

模块接口部分原理图中的 SPI 信号为高电平时，为 SPI 协议配置寄存器模式；为低电平时，为 I2C 协议配置寄存器模式。

使用 SPI 协议配置寄存器时，CS 为片选信号，SDI 为分频芯片 SPI 输入信号，SDO 为分频芯片 SPI 输出信号，SCLK 为时钟输入。

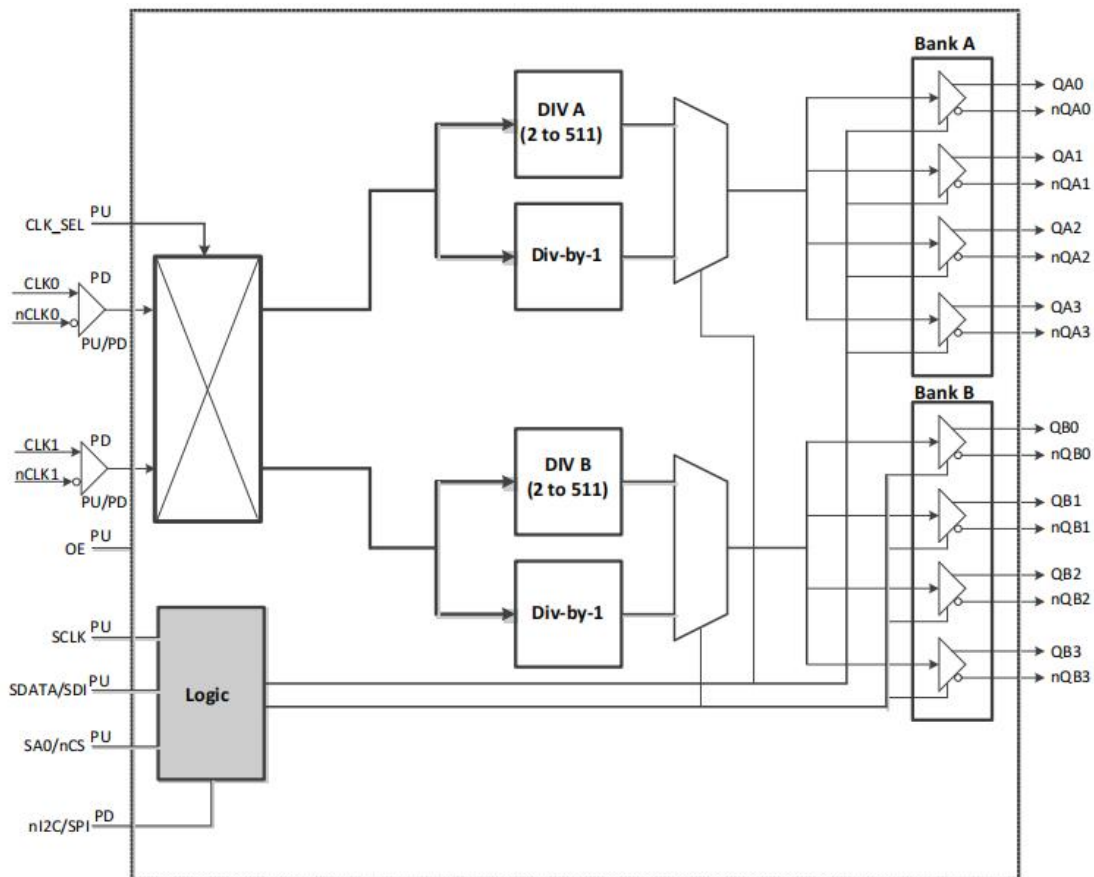
使用 I2C 协议配置寄存器时，器件地址为 110110x，其中 x 为由 CS 信号决定，CS 为高电平时，器件地址为 1101101，CS 为低电平时，器件地址为 1101100；

在 IIC 模式时，SDO 信号不使用，SDI 信号为 I2C 数据线，SCLK 信号为 I2C 时钟线。

CLK_N 与 CLK_P 信号为模块的输入时钟信号，分频器模块将在此时钟基础上进行分频操作，分频范围为 2~511。

另外，在寄存器配置时，可通过配置寄存器选择 bankA 与 bankB 的参考时钟为 CLK0、NCLK0 还是 CLK1、NCLK1，但在模块设计上，仅保留 CLK0、NCLK0 一组差分输入，因此在排至寄存器时，需将 bankA 与 bankB 的参考时钟设置为 CLK0、NCLK0。

模块搭载分频器芯片 8P79818，芯片框架如下图所示：



8P79818 芯片框架图

分频器芯片共有两个 bank，每个 bank 对应一个分频，每个 bank 有 4 对时钟输出，且输出频率相同。因此模块仅连接分频器芯片 bankA、bankB 的各一对输出。

OE 信号为高电平时，输出由寄存器配置，OE 为低电平时，输出为高阻抗状态，因此模块对 OE 信号再硬件上进行上拉。

● 模块寄存器配置过程简介

模块搭载的分频器芯片对应的寄存器地址范围为 0~F，每个寄存器地址对应 8bit 寄存器数据。寄存器配置详情请参考 *8P79818 数据手册*。

寄存器地址 0-1:

器件控制寄存器，配置为 0: 8'h10, 1: 8'h00 即可。

寄存器地址 2-5:

bankA 控制，控制 bankA 信号输出模式等信息。

Address (Hex)	D7	D6	D5	D4	D3	D2	D1	D0
2	Rsvd			TERM_A	QA_POL3	QA_POL2	QA_POL1	QA_POL0
3	Rsvd		MODE_QA3[2:0]			MODE_QA2[2:0]		
4	Rsvd		MODE_QA1[2:0]			MODE_QA0[2:0]		
5	DIS_QA3	DIS_QA2	DIS_QA1	DIS_QA0	Rsvd			

寄存器地址 2~5

模块 bankA 输出保留的接口为 QA0、NQA0，因此控制寄存器地址 4 的数据第 2~0 位，设置 bankA 输出信号 QA0、NQA0 的输出模式，控制寄存器地址 5 的数据第 4 位为 0 使能 QA0、NQA0 输出即可，具体模式如下所示：

Output driver mode of operation for output pair QAm, nQAm:

- 000 = high-impedance
- 001 = LVPECL
- 010 = LVDS (default)
- 011 = LVCMOS
- 100 = HCSL
- 101 = CML 400mV swing
- 110 = CML 800mV swing
- 111 = Reserved

其他寄存器数据保持默认即可。

Bit Field Name	Field Type	Default Value	Description
TERM_A	R/W	0b	Indicates termination used on Bank A outputs when HCSL mode is selected: 0 = 33Ω/ 50Ω 1 = 50Ω
QA_POLm	R/W	0h	Output polarity selection for output pair nQAm, QAm in LVCMOS mode: 0 = nQAm pin is inverted relative to QAm pin when in LVCMOS mode 1 = nQAm and QAm pins are in-phase when in LVCMOS mode
MODE_QAm[2:0]	R/W	010b	Output driver mode of operation for output pair QAm, nQAm: 000 = high-impedance 001 = LVPECL 010 = LVDS (default) 011 = LVCMOS 100 = HCSL 101 = CML 400mV swing 110 = CML 800mV swing 111 = Reserved
DIS_QAm	R/W	0b	Disable output pair QAm, nQAm: 0 = Output pair QAm, nQAm is enabled (disable output bank using SYNC_DISA to prevent runt pulses when enabling) 1 = Output pair QAm, nQAm is powered-down
Rsvd	R/W	–	Reserved. Always write 0 to this bit location. Read values are not defined.

寄存器 2~5 数据说明

寄存器地址 6-9:

bankB 控制，控制 bankB 信号输出模式等信息。

Address (Hex)	D7	D6	D5	D4	D3	D2	D1	D0
6	Rsvd			TERM_B	Rsvd	Rsvd	Rsvd	Rsvd
7	Rsvd		MODE_QB3[2:0]			MODE_QB2[2:0]		
8	Rsvd		MODE_QB1[2:0]			MODE_QB0[2:0]		
9	DIS_QB3	DIS_QB2	DIS_QB1	DIS_QB0	Rsvd			

寄存器 6~9

模块 bankB 输出保留的接口为 QB0、NQB0，因此控制寄存器地址 8 的数据第 2~0 位，设置 bankB 输出信号 QB0、NQB0 的输出模式，控制寄存器地址 9 的数据第 4 位为 0 使能 QB0、NQB0 输出即可，具体模式如下所示

Bit Field Name	Field Type	Default Value	Description
TERM_B	R/W	0b	Indicates termination used on Bank B outputs when HCSL mode is selected: 0 = 33 Ω / 50 Ω 1 = 50 Ω
MODE_QBm[2:0]	R/W	010b	Output driver mode of operation for output pair QBm, nQBm: 000 = high-impedance 001 = LVPECL 010 = LVDS (default) 011 = Rsvd 100 = HCSL 101 = CML 400mV swing 110 = CML 800mV swing 111 = Reserved
DIS_QBm	R/W	0b	Disable output pair QBm, nQBm: 0 = Output pair QBm, nQBm is enabled (disable output bank using SYNC_DISB to prevent runt pulses when enabling) 1 = Output pair QBm, nQBm is powered-down
Rsvd	R/W	—	Reserved. Always write 0 to this bit location. Read values are not defined.

寄存器 6~9 数据说明

寄存器地址 A-B:

该寄存器地址 A~B 保留。

寄存器地址 C-F:

控制分频器输出信号的分频比。

Address (Hex)	D7	D6	D5	D4	D3	D2	D1	D0
C	DIVA[7:0]							
D	DIVB[7:0]							
E	Rsvd						DIVB[8]	DIVA[8]
F	Rsvd							

Bit Field Name	Field Type	Default Value	Description
DIVA[8:0]	R/W	000h	Divider ratio for Bank A outputs: 00h – 01h = Bypass divider and pass reference clock directly to the Bank A outputs 02h – 1FFh = ratio to be used by the A divider is value written here. For example writing a 4 in this field will results in a divide ratio of 4 being used.
DIVB[8:0]	R/W	000h	Divider ratio for Bank B outputs: 00h – 01h = Bypass divider and pass reference clock directly to the Bank B outputs 02h – 1FFh = ratio to be used by the B divider is value written here. For example writing a 4 in this field will results in a divide ratio of 4 being used.
Rsvd	R/W	–	Reserved. Always write 0 to this bit location. Read values are not defined.

寄存器 C~F 及数据说明

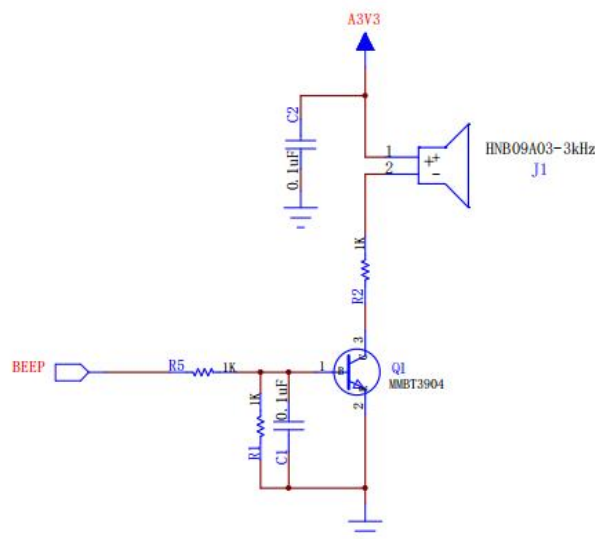
寄存器地址 C 的数据第 7~0 位、寄存器地址 E 的数据第 0 位控制 bankA 的输出分频比。

寄存器地址 D 的数据第 7~0 位、寄存器地址 E 的数据第 1 位控制 bankB 的输出分频比。

3.4、蜂鸣器模块

“小眼睛科技”试验箱中配备的蜂鸣器模块为无源低频蜂鸣器，需要输入给蜂鸣器震荡源控制蜂鸣器发出响声，输入震荡源可以为低音调对应频率。

原理图如下图所示：震荡源通过三极管放大后输出给蜂鸣器，蜂鸣器接收到震荡源后，发出声响。



蜂鸣器原理图

当给予不同频率的音频源（震荡源）时，发出的音调也随之变化，如震荡源频率为 440Hz 时，蜂鸣器会发出 1a 的音调；不同的音调对应的震荡源频率如下表所示：

C 调低音频率对照表

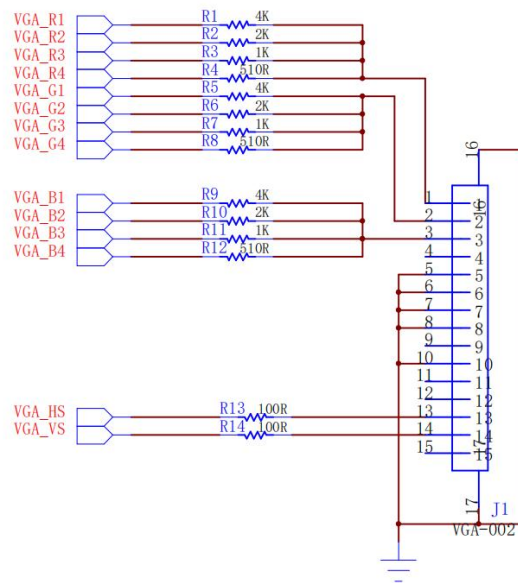
C调各音符频率对照表		
音符	频率(Hz)	周期(μs)
低 1Do	262	3816
低 2Re	294	3401
低 3Mi	330	3030
低 4Fa	349	2865
低 5So	392	2551
低 6La	440	2272
低 7Si	494	2024

3.5、PMOD 转 VGA 模块

“小眼睛科技”试验箱配备了一个 PMOD 转 VGA 模块，模块共有两个 PMOD 2x6 针连接器（J2 与 J3）。

使用模块进行管脚绑定时，请仔细观察针脚位置通过板卡上 PMOD 扩展 IO 旁管脚注释进行管脚的绑定。

由于 VGA 输入信号为模拟量，FPGA 输出信号为数字量，因此模块使用权电阻网络将数字量转换为模拟量提供给 VGA。



PMOD-VGA 原理图

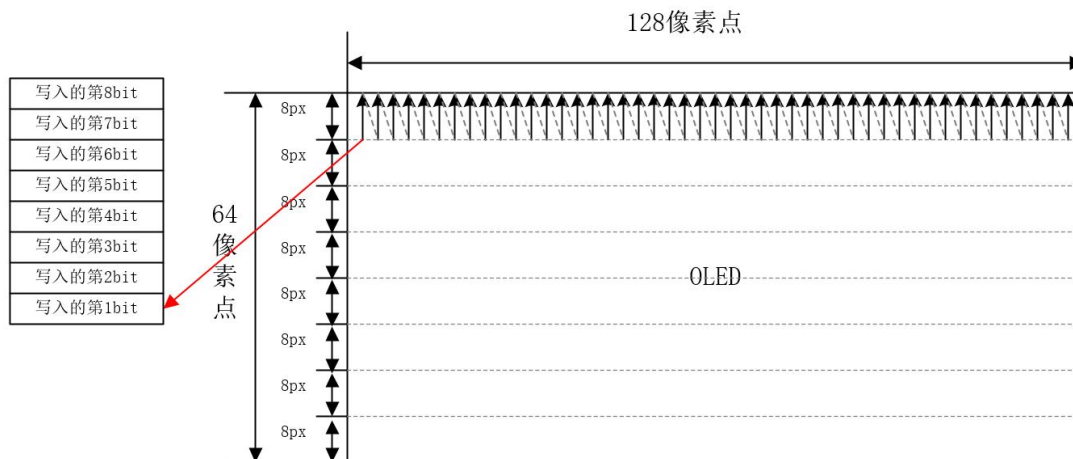
3.6、1.3 寸 oled 屏幕模块

“小眼睛科技”试验箱配备了一个 PMOD-OLED 模块，OLED 尺寸为 1.3 寸，显示颜色为单色白色，使用模块显示图像前需先对模块寄存器进行初始化配置，使用通信协议为 SPI。相关寄存器配置请参考数据手册 *0.96 UN-2864KSWEG01.pdf*。

oled 分辨率格式为 128x64，屏幕显示以像素点为单位，向像素点寄存器写数据时，写入 1，则点亮此像素点，写入 0 则不点亮此像素点，屏幕像素点中 64 行像素被分为 8 页，每页为 8 行 128 列像素点，配置屏幕刷新方向为从左到右，则写入像素点的数据与像素位置对应关系如下所述：

一页对应屏幕的一个长条形区域，以 8bit 数据为一组，则一组数据对应一列，8bit 数据中最先被写入的 1bit 数据刷新在长条形区域的下方，依次由下到上进行刷新，写完一列后再写下一列，列的刷新方向根据配置由左到右刷新。

整体呈现 N 字形刷新走向。



oled 数据刷新方向数据图

在进行页写操作时，需要通过指令传达页地址、起始列地址等信息。

页地址指令：8'hb0 + PAGE ；（PAGE 为页地址）

列地址指令：8'h00 + column[3:0] + 8'd2；(加 2 为列地址补偿)

8'h10 + column[7:4] ；（column 为起始列地址）

输入指令信息后即可对对应像素点进行寄存器数据配置，从而显示图像。

3.7、PMOD 扩展模块

“小眼睛科技”试验箱配备了一个 PMOD 扩展模块，模块为 40PIN 转 4 个 PMOD 扩展口，满足用户对 PMOD 扩展 IO 的需求。

PMOD 扩展模块的各组 PMOD 接口对应 PGX-NANO 开发板的 FPGA 管脚如下表所示：

PMOD 扩展版管脚对应表

PMOD-A			
网络名称	FPGA 管脚	网络名称	FPGA 管脚
EX_IO_14N	E16	EX_IO_14P	E15
EX_IO_13N	C15	EX_IO_13P	D15
EX_IO_17N	G16	EX_IO_17P	H16
EX_IO_3N	F16	EX_IO_3P	F15
PMOD-B			

网络名称	FPGA 管脚	网络名称	FPGA 管脚
EX_IO_15N	F14	EX_IO_15P	F13
EX_IO_16N	B14	EX_IO_16P	B13
EX_IO_7N	C14	EX_IO_7P	D14
EX_IO_8N	A11	EX_IO_8P	B11
PMOD-C			
网络名称	FPGA 管脚	网络名称	FPGA 管脚
EX_IO_11N	B17	EX_IO_11P	B16
EX_IO_9N	A16	EX_IO_9P	A15
EX_IO_10N	A14	EX_IO_10P	A13
EX_IO_12N	A18	EX_IO_12P	B18
PMOD-D			
网络名称	FPGA 管脚	网络名称	FPGA 管脚
EX_IO_4N	G14	EX_IO_4P	H14
EX_IO_6N	D17	EX_IO_6P	E17
EX_IO_5N	J13	EX_IO_5P	K13
EX_IO_2N	G17	EX_IO_2P	H17

3.8、摄像头模块

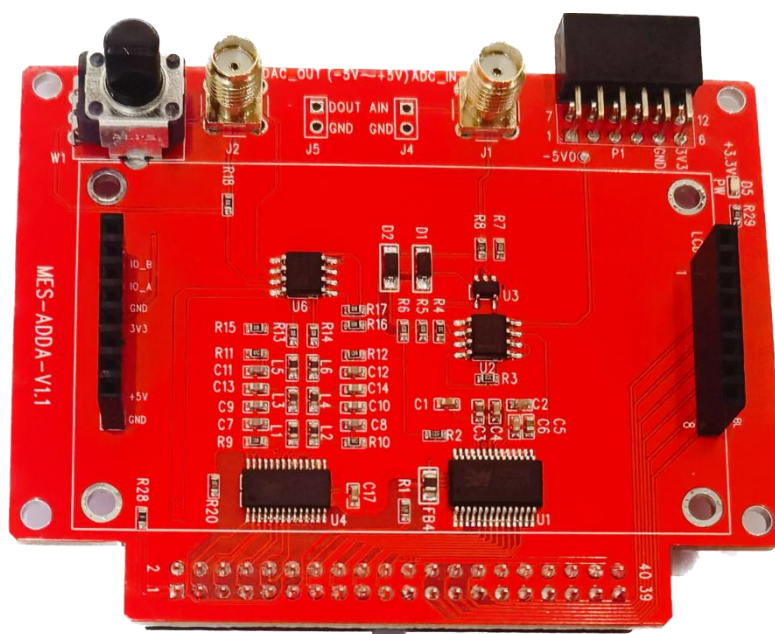
“小眼睛科技”试验箱配备了一个双目摄像头模块，最高支持分辨率为 2592*1944@15，模块搭载了一颗 24MHz 的晶振为摄像头提供时钟，使用模块前需先对摄像头模块进行寄存器初始化配置，相关寄存器配置请参考数据手册。试验箱搭配的 demo 中所配置摄像头输出分辨率为 640*480，可参考相应的寄存器配置。

每个摄像头与 FPGA 通信的信号为：1 路像素时钟，8 路像素数据，1 组 I2C 配置信号（SCL 与 SDA）。

3.9、ADDA 模块

“小眼睛科技”试验箱配备了一个 MES-ADDA，模组共有三种功能，其一为将 FPGA 发送的数字信号数据转换为模拟信号发出，其二为将模组接收到的模拟信号转换为数字信号数据提供给 FPGA 处理，其三为可接 SPI 串口屏，进行屏幕显示。

MES-ADDA 模组上采用的数模转换与模数转换芯片型号分别是 MS9708 与 MS9280。MS9708 是一款 8bit 高速、低功耗 D/A 转换器，采样率高达 125MSPS；MS9280 是一款 10bit、采样率可达 35MSPS 的 A/D 转换器，MS9708 内部采用多级差分流水线架构，在 35MSPS 数据采样率下，全温度范围内无失码。（模组使用 MS9280 高 8bit 数据进行数据传输）。



MES-ADDA 模块

MS9708 芯片参数：

- 8bit 分辨率(MS9708)，10bit 分辨率(MS9710)， 14bit 分辨率(MS9714)
- 更新速率：125MSPS
- 功耗：175mW @ 5V 到 45mW @ 3V
- 掉电模式：20mW @ 5V
- 内部基准：1.2V
- 边沿触发锁存器
- TSSOP28 封装

MS9280 芯片参数:

- 10 bit、35 MSPS 流水线 ADC（只使用高 8bit 数据输入）
- 低功耗: 90mV（3V 电源下）
- 宽工作范围: 2.7V 到 5.5V
- 高线性度: DNL: 0.2 LSB
- 低功耗控制模式
- 三态门输出
- 量化范围检测
- 内建钳位功能
- 高精度可编程基准电源

3.9.1、模组功能详解

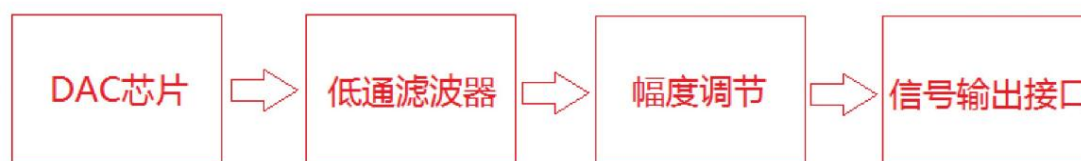
MES-ADDA 模组通过 40pin 扩展口与 FPGA 进行连接, MES-ADDA 数码转换时钟与模数转换时钟均由 FPGA 提供。模组模拟信号输出电压幅值可由板卡上电阻旋钮控制, 输出下模拟信号电压幅值范围为-5V~+5V; 同样, 模组能够接收外部模拟信号的电压幅值范围也同为-5V~+5V。

3.9.1.1、数模转换功能详解

MES-ADDA 模组采用的 D/A 芯片 MS9708 将 FPGA 提供的数字信号数据转换为模拟信号, 但仍需要一些处理, 首先需要经过一系列的低通滤波进行降噪处理, 然后再经过两级运放进行幅值调节等处理, 最后才能将模拟信号输出。

需注意的是, 两级运放均采用的是负反馈的方式, 并且第一级运放的反向输入端连接的为 D/A 芯片的互补输出端, 因此实际输出的模拟信号与输入的数字信号数据对应的波形在相位上相差 180°。

数模转换功能流程图如下:



DAC 转换流程

● DAC 芯片

DAC 芯片将数字信号转换为模拟信号，内部包含了一个 PMOD 电流源阵列，最大可产生 20mA 电流，芯片输出两路信号，DAC 电流输出 IOUTA、互补 DAC 电流输出 IOUTB，信号转换的计算方式如下，具体内容请参考 MS9708 数据手册。

$$IOUTA = (DAC\ CODE/256) \times IOUTFS \quad (1)$$

$$IOUTB = (255 - DAC\ CODE)/256 \times IOUTFS \quad (2)$$

$$IOUTFS = 32 \times IREF \quad (3)$$

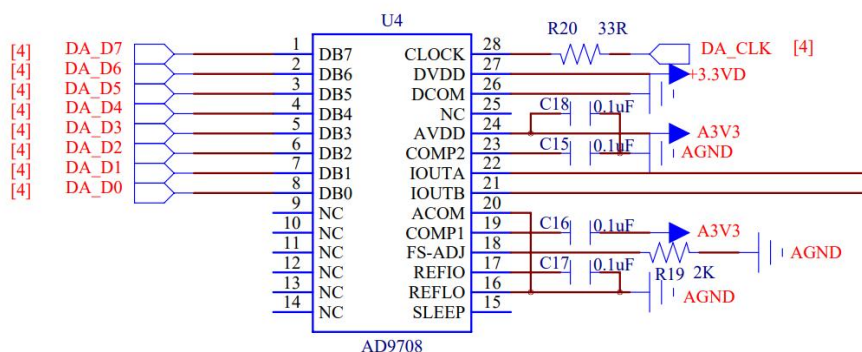
$$IREF = VREFIO / RSET \quad (4)$$

注：

1、RSET 为图中 R19，REFIO 接地，故使用的是内部 1.2V 基准，VREFIO 为 1.2V。

2、电阻 RSET 在原理图中为 R19。

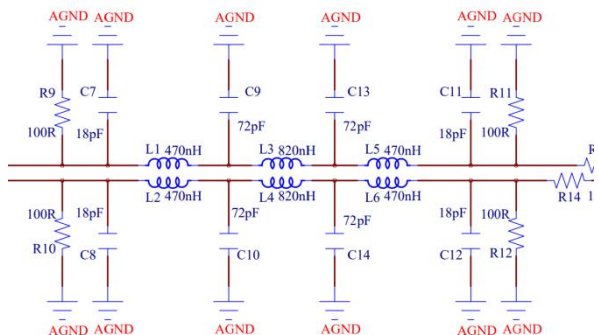
DAC 芯片原理图如下图所示，详情请参考 MES-ADDA 原理图。



DAC 芯片

● 低通滤波电路

低通滤波电路主要用于滤波去噪，使输出波形更加圆滑，电路图如下图所示：



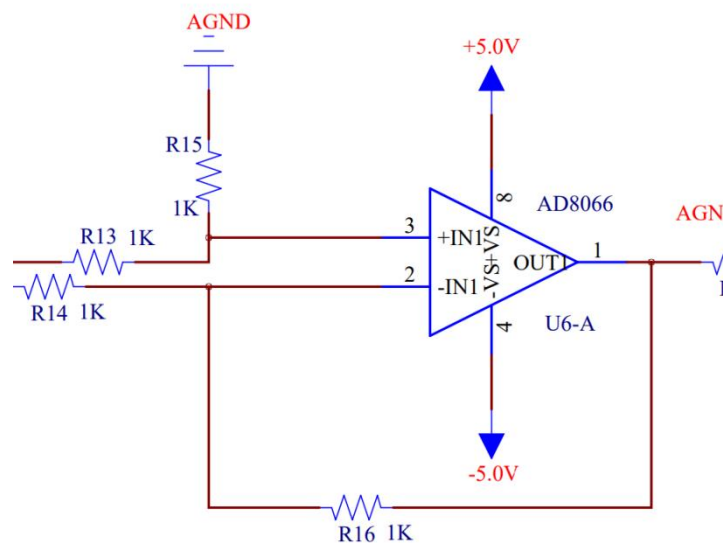
低通滤波电路

● 运算放大器

第一级负运算放大器主要将输出电流信号进行减法运算，并且转换为电压信号，输出电压幅值范围： $-1\text{V} \sim +1\text{V}$ 。

需注意的是第一级运算放大器采用负反馈的方式，因此运放输出与 DAC 互补输出信号相位相差 180° 。

电路如下图所示：



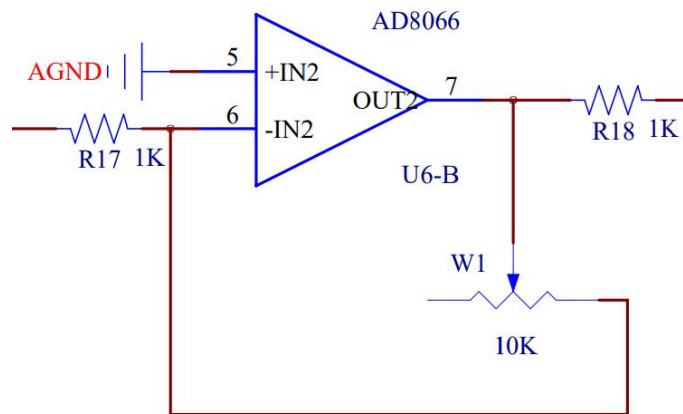
第一级放大电路

第二级运算放大器可以通过对 W1 旋钮电阻的调节控制放大倍数。测试显示第二级放大电路输出电压控制在 $-4.7\text{V} \sim +4.7\text{V}$ 范围内，输出波形不失真。

须注意的是第二季运放仍采用负反馈的方式，运放输出与输入相位仍相差 180° 。

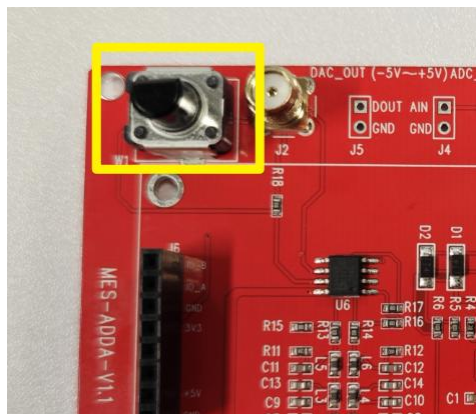
设 W1 的阻值为 R_f ，输出电压 V_{out} ，输入电压 V_{in} ，它们的关系如下：

$$V_{out} = - (R_f/R_{17}) * V_{in};$$



第二级负反馈放大电路

旋钮电阻的旋钮位置如下：



电阻旋钮位置

● 信号输出接口

模拟信号输出有两个接口，一个为 SMA 接口，一个为测试点接口，位置为下图所标：



接口的具体位置

3.9.1.2、模数转换功能详解

由于 ADC 芯片的电气特性，输入的模拟信号需要先经过衰减电路后才能输入金 ADC 芯片中。

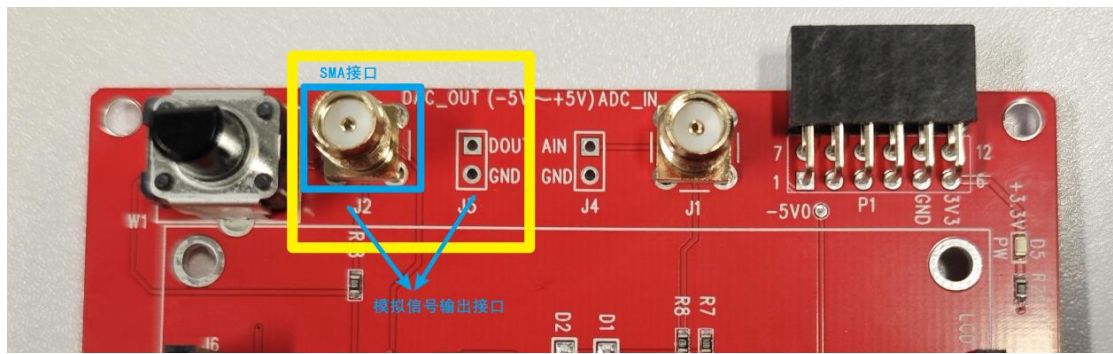
模数转换功能流程图如下：



ADC 转换流程

● 模拟信号输入接口

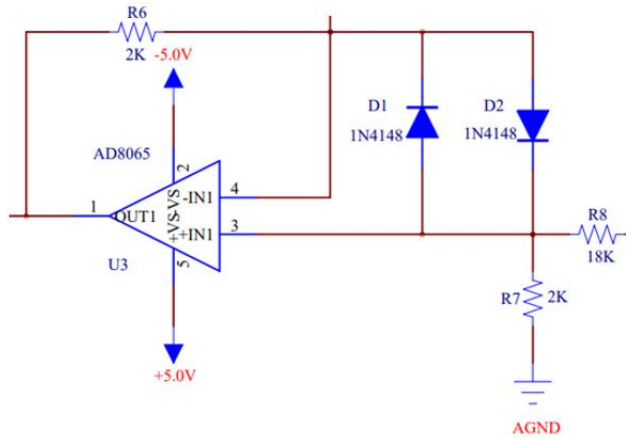
MES-ADDA 模组上共有两个模拟信号输入接口，其中一个接口为 SMA 接口，应注意的是两个接口不能同时使用，两个接口的具体位置如下图所示：



接口具体位置

● 衰减电路

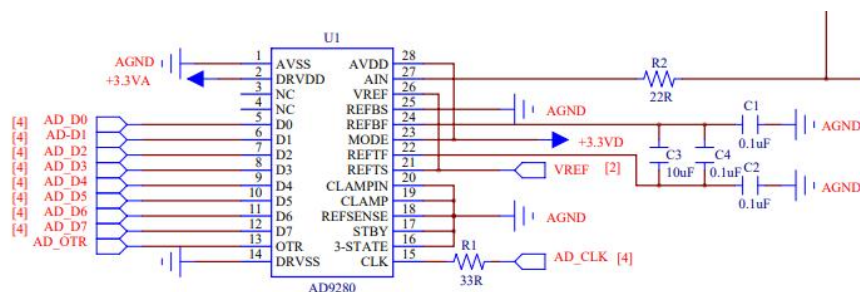
衰减电路的电路图如下图所示，详细内容请参考 MES-ADDA 原理图：



衰减电路

● ADC 芯片

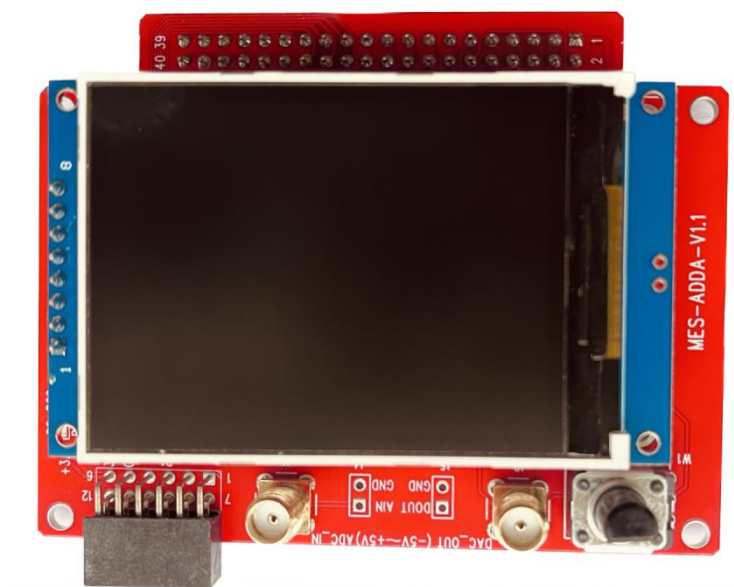
ADC 芯片用于将模拟信号转换为数字信号，MES-ADDA 模组使用 ADC 芯片输出数字信号的高八位传输给 FPGA，电路图示如下图所示：



ADC 芯片

3.9.1.3、SPI 显示屏接口（选配）

MES-ADDA 模组预留了一组 SPI 串口屏接口，用户可选配显示屏连接在 MES-ADDA 模组上，通过 FPGA 对屏幕进行编程。图中 MES-ADDA 模组连接的是一款 2.4 寸 240x320TFT 液晶显示屏，相应的 TFT 液晶显示模块在“小眼睛半导体”淘宝店均有售卖。



选配 SPI 屏连接示意图

上图所用 TFT 液晶显示屏接入 MES-ADDA 模块共有 8 个信号，如下表所示，具体内容 TFT 液晶显示屏资料包。

信号	描述
----	----

BL	背光电源
CS	片选信号
A0	指令信号
RST	复位信号
MOSI	SPI 数据
CLK	SPI 时钟
3V3	电源
GND	地