



# 盘古 2L100H 开发板 MES2L100HP 硬件使用手册 V1.0

紫光同创 logos2 系列 FPGA 开发平台

版本日期：2023-12-15

Administrator: 深圳市小眼睛科技有限公司

联系邮箱: [support@meyesemi.com](mailto:support@meyesemi.com)

[QQ 群: 808770961](#)

公司网址: [www.meyesemi.com](http://www.meyesemi.com)

微信公众号: 小眼睛 FPGA

购买渠道: [小眼睛半导体](#)

客服微信: 17665247134

# 目录

|                         |    |
|-------------------------|----|
| 1、 开发系统介绍.....          | 3  |
| 1.1 开发系统概述.....         | 3  |
| 1.2 开发系统简介.....         | 4  |
| 1.2.1 开发系统外设资源.....     | 4  |
| 1.2.2 开发系统功能框图.....     | 5  |
| 2、 核心板.....             | 8  |
| 2.1 核心板概述.....          | 8  |
| 2.2 系统描述.....           | 11 |
| 2.2.1 FPGA.....         | 11 |
| 2.2.2 电源接口.....         | 12 |
| 2.2.3 时钟.....           | 13 |
| 2.2.4 上电 IO Status..... | 15 |
| 2.2.5 JTAG 接口.....      | 16 |
| 2.2.6 DDR3.....         | 17 |
| 2.2.7 QSPI Flash.....   | 19 |
| 2.2.8 扩展 IO.....        | 20 |
| 3、 扩展底板.....            | 26 |
| 3.1 扩展底板简介.....         | 26 |
| 3.2 外接通信口.....          | 27 |
| 3.2.1 网口.....           | 27 |
| 3.2.2 SFP 光纤接口.....     | 30 |
| 3.2.3 PCIe X2 接口.....   | 31 |
| 3.2.4 串口.....           | 33 |
| 3.2.5 JTAG.....         | 34 |
| 3.3 HDMI.....           | 34 |
| 3.3.1 HDMI 输入接口.....    | 34 |
| 3.3.2 HDMI 输出接口.....    | 37 |
| 3.4 按键/指示灯/存储接口.....    | 40 |
| 3.4.1 按键.....           | 40 |
| 3.4.2 Led 灯.....        | 41 |
| 3.4.3 EEPROM.....       | 42 |
| 3.4.4 SD CARD.....      | 42 |
| 3.5 扩展口.....            | 43 |

|                      |    |
|----------------------|----|
| 3.5.1 40pin 扩展口..... | 43 |
| 3.5.2 PMOD 扩展口.....  | 45 |
| 3.6 供电电源.....        | 46 |
| 3.7 尺寸结构图.....       | 47 |

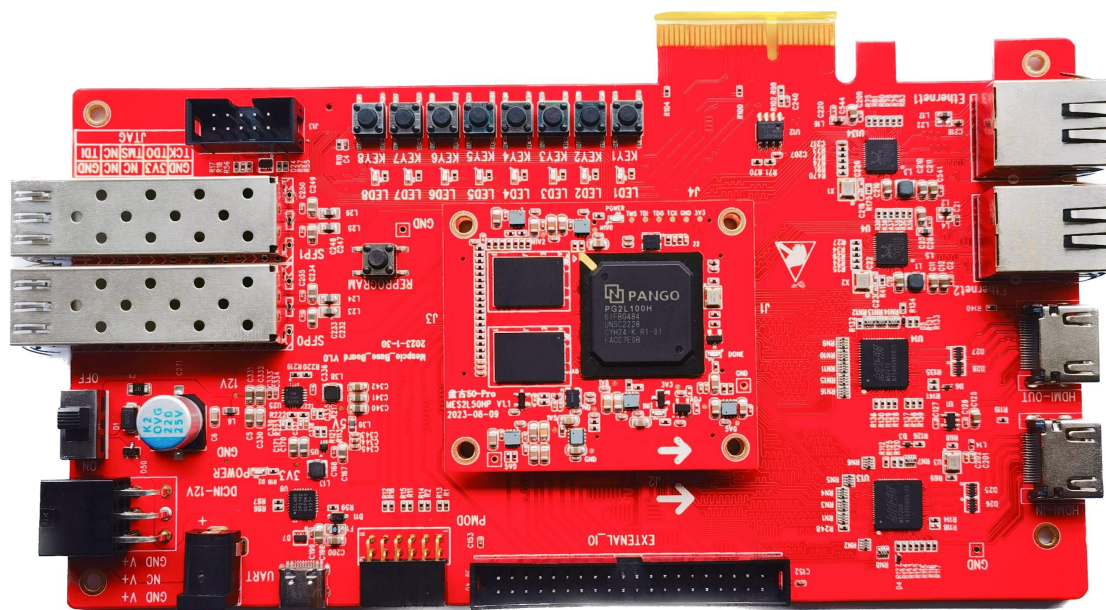
## 1、 开发系统介绍

### 1.1 开发系统概述

盘古-2L100H 开发板（MES2L100HP）采用了核心板+扩展板的结构，核心板与扩展板之间使用高速板对板连接器进行连接。

核心板主要由 FPGA+2 颗 DDR3+Flash+电源及复位构成，承担了 FPGA 的最小系统运行及高速数据处理和存储的功能。FPGA 选用的是紫光同创 28nm 工艺的 FPGA（logos2 系列：PG2L100H-6IFBG484）；PG2L100H 和 DDR3 之间的数据交互时钟频率最高到 533MHz，2 颗 DDR3 的数据位宽为 32bit，总数据带宽最高到 34112（ $1066 \times 32$ ） Mbps，充分满足了高速多路数据存储的需求；另外 PG2L100H FPGA 带有 4 路 HSST 高速收发器，每路速度高达 6.6Gbps，非常适合用于光纤通信和 PCIe 数据通信；电源采用多颗 EZ8303（艾诺）来产生不同的电源电压。

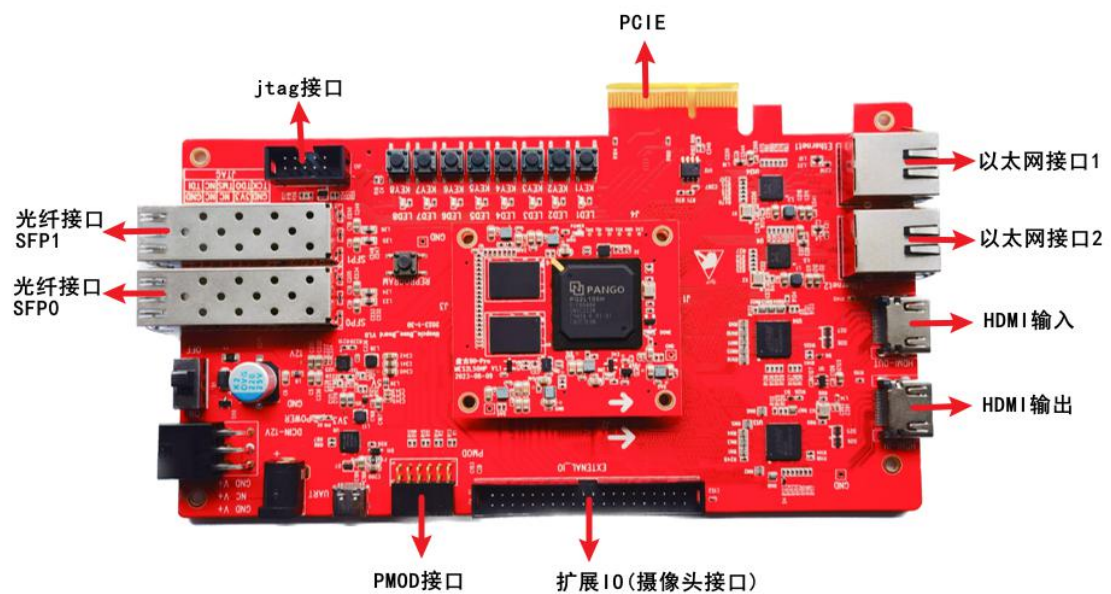
底板为核心板扩展了丰富的外围接口，预留 HDMI 收发接口用于图像验证及处理；预留的光纤接口、10/100/1000M 以太网接口，PCIE 接口，方便各类高速通信系统验证；预留了一个 40pin 的 IO 扩展连接器，方便用户在开发平台基础上验证模块电路功能。



## 1.2 开发系统简介

### 1.2.1 开发系统外设资源

- ◆ HDMI 输入接口\*1
- ◆ 光纤接口\*2
- ◆ PCIE X2 接口\*1
- ◆ SD 卡接口\*1
- ◆ IO 扩展口\*1
- ◆ 按键 \*8
- ◆ HDMI 输出接口\*1
- ◆ 10/100/1000M 以太网接口\*2
- ◆ Jtag 调试接口\*1
- ◆ PMOD 接口 \*1
- ◆ USB 转串口\*1
- ◆ LED \*8



1.2.2 开发系统功能框图

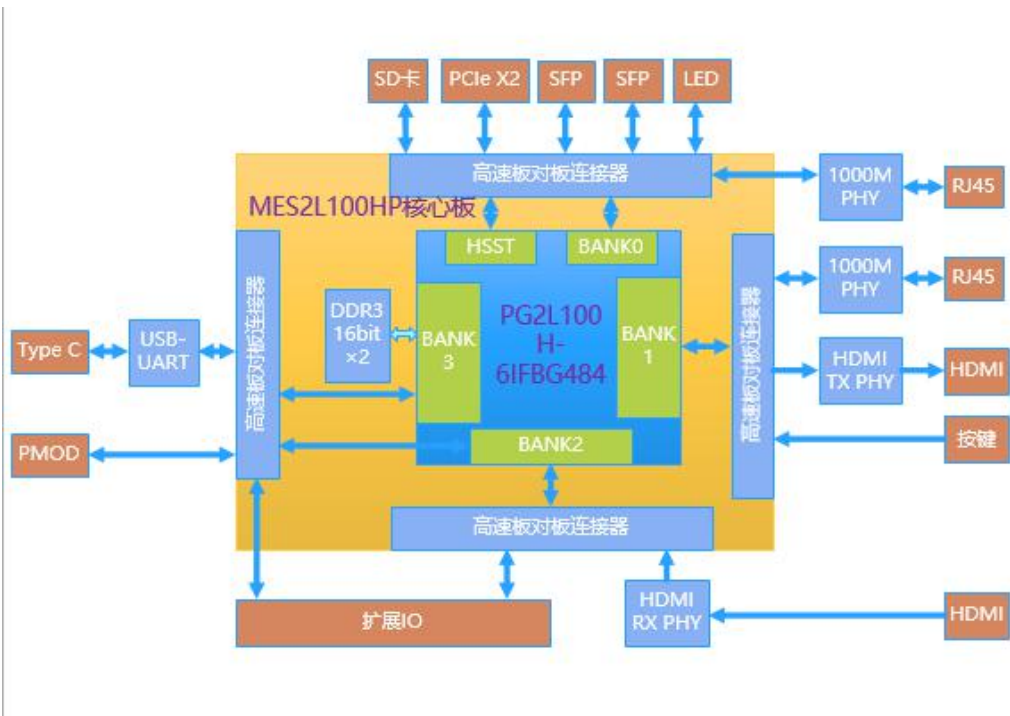


图 1-1 开发系统功能框图

综上所述，盘古-2L100H 开发平台可实现的功能细节如下：

© Logos2 FPGA 核心板

由 PG2L100H+2 片 512MB DDR3+128MB QSPI FLASH 组成，另外板上有一个高精度的 27MHz 和 125MHz 晶振，为 FPGA 系统和高速串行收发器 HSST 模块提供稳定的时钟输入。

◎ 10/100M/1000M 以太网 RJ-45 接口 \*2

网口 PHY 芯片采用 RTL8211E，RTL8211E 支持 10/100M/1000Mbps 网络传输数据率；支持全双工工作模式及数据率自适应。

◎ PCIe X2 接口 \* 1

支持 PCI Express 2.0 标准，提供 PCIe X2 高速数据传输接口，单通道通信速率可高达 5GBaud。

◎ SFP 高速光纤接口 \* 2

Logos2 FPGA 的 HSST 收发器的 2 路高速收发器连接到 2 个光模块的发送和接收，实现 2 路高速的光纤通信接口。每路的光纤数据通信接收和发送的速度高达 6.6Gb/s。

◎ HDMI 输出 \* 1

选用了国产宏晶微公司的 MS7210 HDMI 发送芯片，兼容 HDMI1.4b 及 HDMI 1.4b 下标准视频的 3D 传输格式。支持的最高分辨率高达 4K@30Hz，最高采样率达到 300MHz；支持 HBR 音频。

◎ HDMI 输入 \* 1

选用了国产宏晶微公司的 MS7200 HDMI 接收芯片，兼容 HDMI1.4b 及 HDMI 1.4b 下标准视频的 3D 传输格式。支持的最高分辨率高达 4K@30Hz，最高；采样率达到 300MHz；支持 HBR 音频。

◎ USB 转串口 \* 1

用于和电脑通信，方便用户调试。串口芯片采用 Silicon Labs 的 USB-UART 芯片: CP2102 , USB 接口采用 USB Type C 接口。

◎ Micro SD 卡座

支持 SDIO 模式和 SPI 模式。

◎ EEPROM

板载一片 IIC 接口的 EEPROM: 24C02;

◎ JTAG 接口

10 针 2.54mm 间距的双排排针口，用于 FPGA 程序的下载和调试。

◎ PMOD 座

预留1个12脚（2×6）的PMOD接口。

◎ 40 针扩展口

预留 1 个 40 针 2.54mm 间距的扩展口，可以外接的各种模块。扩展口包含 5V 电源 1 路，3.3V 电源 2 路，地 3 路，I/O 口 34 路。

◎ LED 灯

8 个用户发光二极管;

◎ 按键

8 个用户按键，1 个复位按键;

## 2、 核心板

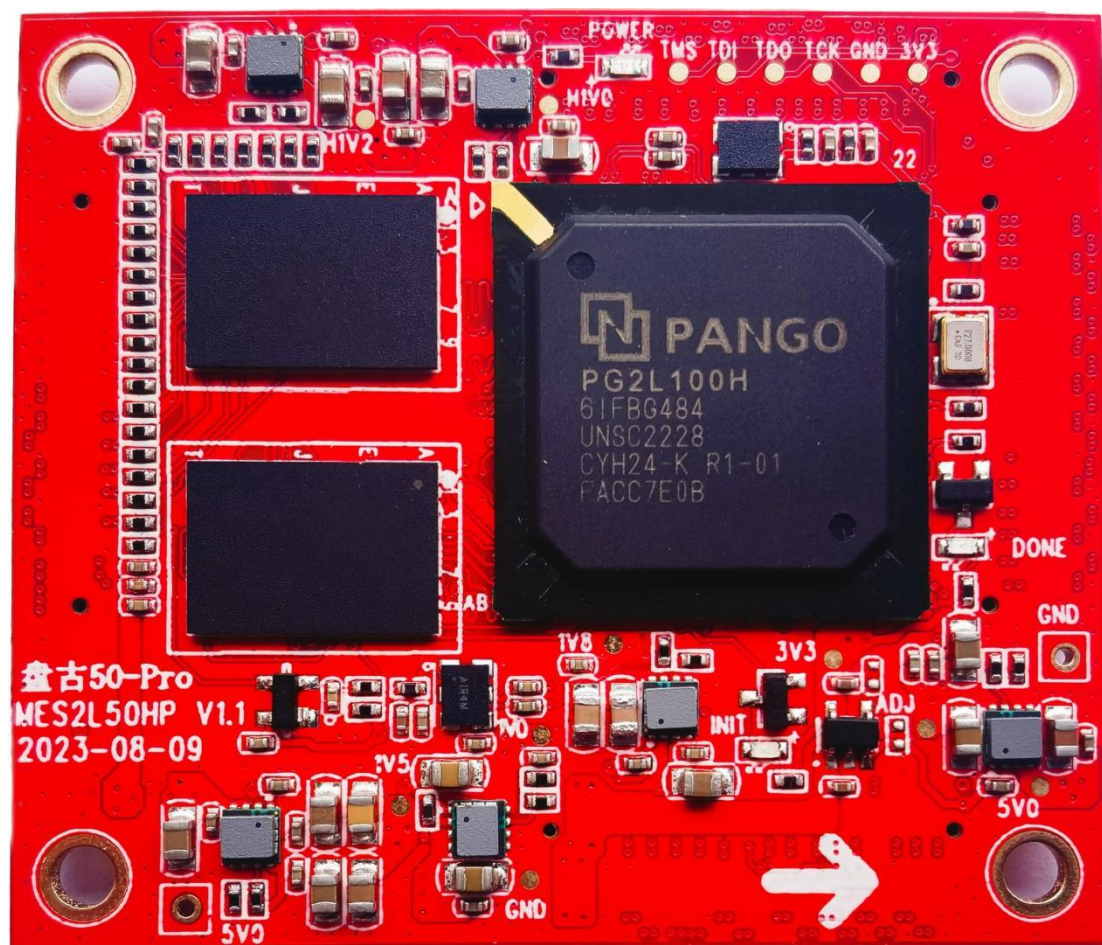
### 2.1 核心板概述

MES2L100H 核心板是“小眼睛科技”基于多年 FPGA 开发经验，采用紫光同创 logos2 系列 PG2L100H-FBG484 作为主控芯片而开发的全新国产高性能 FPGA 核心板，具有高数据带宽、高存储容量的特点，适用于视频图像处理、高速数据采集、工业控制等多元应用场景。

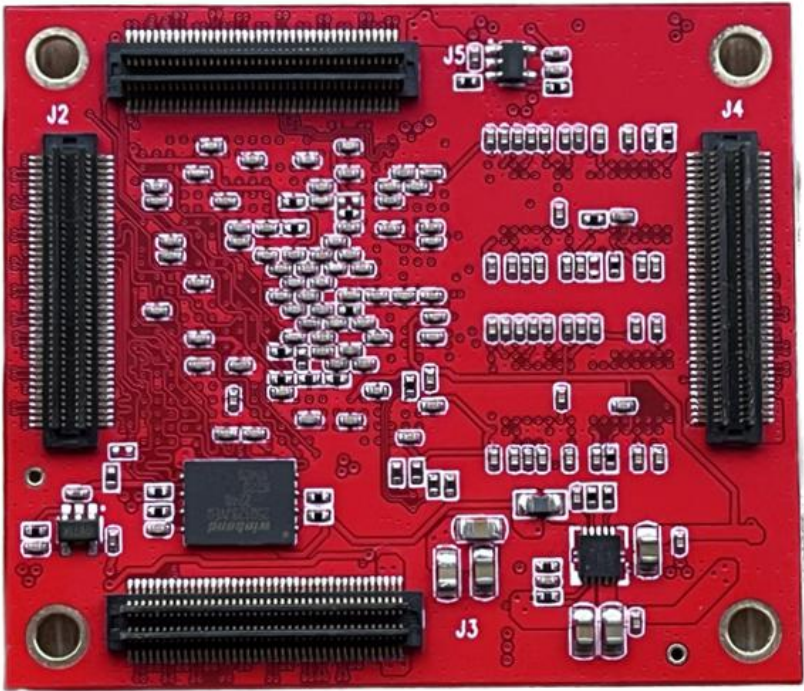
MES2L100H 核心板使用了 2 片 MICRON 公司 MT41K256M16TW-107:P 的 DDR3 芯片，DDR3 总容量 8Gbit，组合数据总线宽度为 32bit，最高速率支持 1066Mbps，完全满足高带宽的数据处理需求。

MES2L100H 核心板电源采用艾诺 DCDC、南京微盟 LDO 方案，QSPI FLASH 采用 winbond 的 W25Q128 芯片，容量 128Mb，用于存储 FPGA 启动文件。

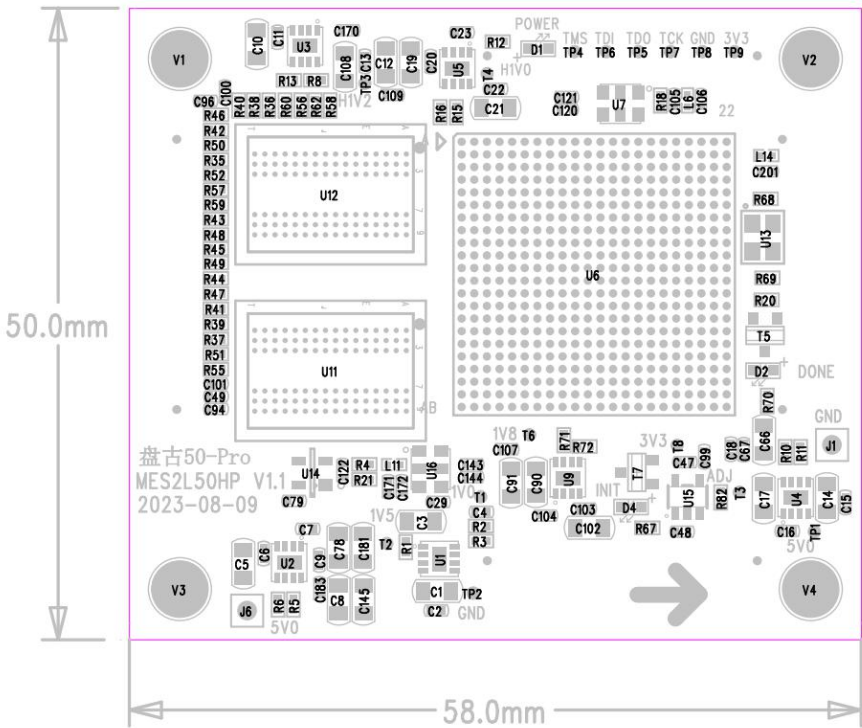
MES2L100H 核心板尺寸仅为 50\*58mm，扩展出 179 个电平标准为 3.3V 普通 IO 口，8 个 1.5V 电平标准的普通 IO 口，1 对 ADC 接口，1 组 JTAG 接口，还有 4 对 HSST 高速 RX/TX 差分信号和 1 对 HSST 高速接口的参考输入时钟。完全满足需要大量 IO 的用户，而且，FPGA 芯片到接口之间走线做了等长和差分处理，非常适合二次开发。



MES2L100H 核心板正面图片



MES2L100H 核心板背面图片



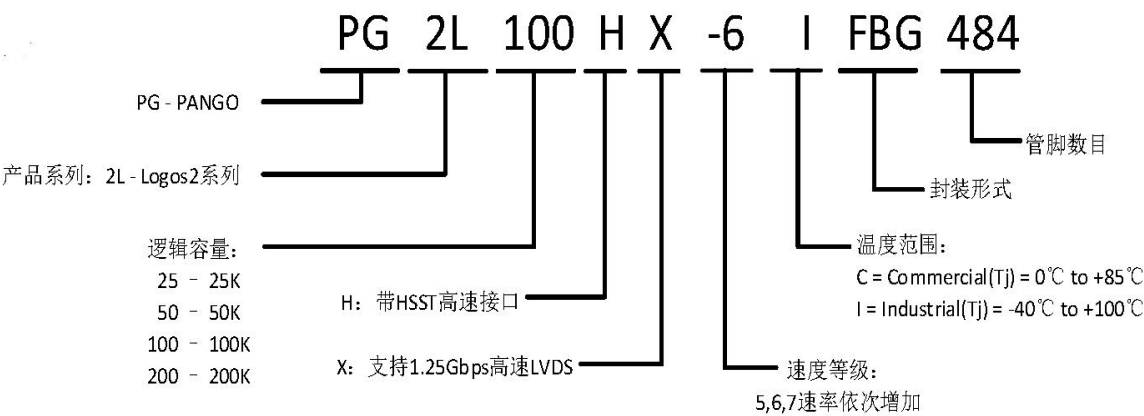
MES2L100H 核心板尺寸图

2.2 系统描述

2.2.1 FPGA

FPGA 型号为 PG2L100H-6IFBG484，属于紫光同创 logos2 系列产品，速度等级为 6，温度范围：工业级（-40~100℃），FBG 封装，管脚数目 484。

紫光同创 Logos 系列 FPGA 产品型号的编号内容及意义如下：



PG2L100H-FBG484 的主要参数如下：

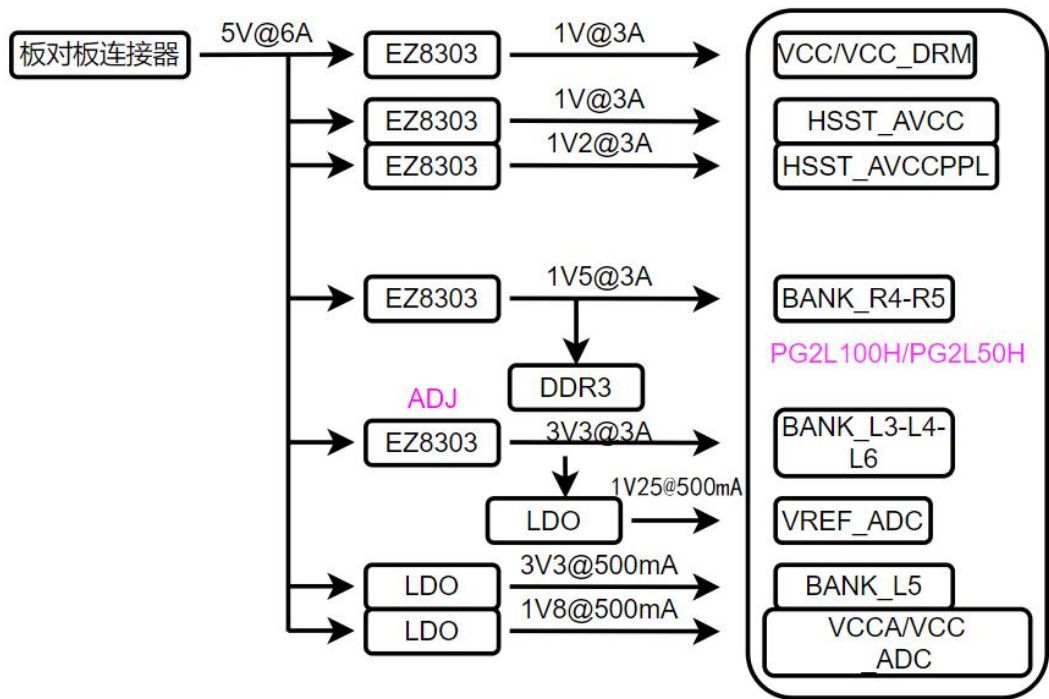
| 资源     |                 | 参数      |
|--------|-----------------|---------|
| 逻辑资源   | 触发器（FF）         | 133200  |
|        | LUT6            | 66600   |
|        | 等效 LUT4         | 99900   |
| RAM 资源 | 分布式 RAM（Kbit）   | 1243.75 |
|        | 块 RAM 数量（36K/块） | 155     |
|        | 块 RAM（Kbit）     | 5580    |
| 时钟资源   | GPLL            | 6       |
|        | PPLL            | 6       |

|       |                |     |
|-------|----------------|-----|
| 硬核资源  | APM（25*18 乘法器） | 240 |
|       | ADC            | 1   |
|       | AES            | 1   |
|       | HSST（6.6G）     | 4   |
|       | PCIE Gen2*4    | 1   |
| IO 资源 | 用户 IO          | 285 |

2.2.2 电源接口

MES2L100H 核心板供电电压为 VCCIN，输入电压为 5V，需通过板对板连接器器供电，连接底板时通过底板供电。板上的电源设计示意图如下图所示：

系统的电源网络如下图：



各个电源的功能作用如下表:

| 电源        | 功能用途                      |
|-----------|---------------------------|
| 5.0V      | 低电压 DC-DC 的电源；            |
| 1.0V      | VCC 内核电压；                 |
| HSST_1.0V | PG2L100H HSST 收发器通道及锁相环电源 |

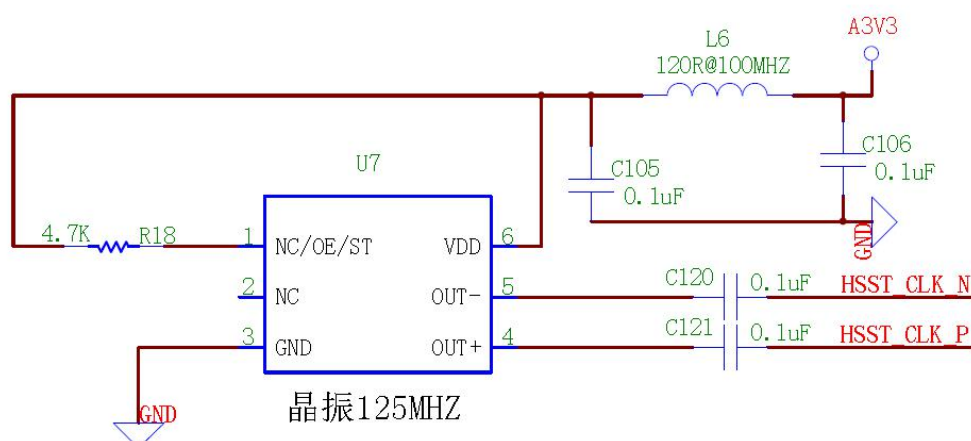
|             |                                |
|-------------|--------------------------------|
| 1.5V        | DDR3 供电电压及 Bank R4、Bank R5 电源； |
| 1.8V        | 辅助电源                           |
| 3.3V        | I/O 电压，部分接口（晶振，FLASH）供电电压      |
| VTT(0.75V)  | DDR3 控制线与地址线的上拉电压，保持信号完整性；     |
| VREF(0.75V) | DDR3 参考电压；                     |

## 2.2.3 时钟

MES2L100H 核心板上配有 2 个 125MHz 有源差分晶振和 1 个单端 27MHz 晶振。一个 125M 差分晶振用于 HSST 收发器的参考时钟输入，另一个 125M 差分晶振和单端 27MHz 用于 FPGA 的系统时钟源。

### 2.2.3.1 125MHz 差分晶振

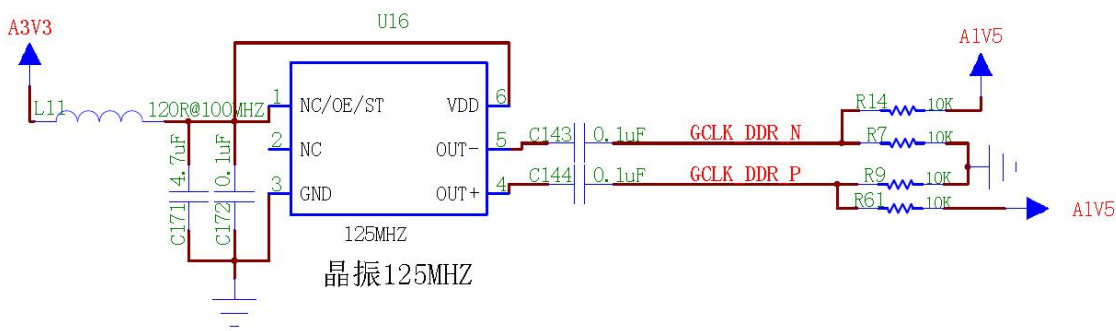
下图中的 U7 为 125M 有源差分晶振电路，此时钟是给 FPGA 内部的 HSST 模块提供的参考输入时钟。晶振输出连接到 FPGA HSST BANK 的时钟管脚上。



具体管脚分配请看下表：

| 信号         | PG2L100H Pin |
|------------|--------------|
| HSST_CLK_P | F6           |
| HSST_CLK_N | E6           |

下图中的 U16 为 125M 有源差分晶振电路，此时钟是给 FPGA 内部的逻辑提供时钟输入，可用于逻辑设计或是通过 PLL 来产生不同频率的时钟。

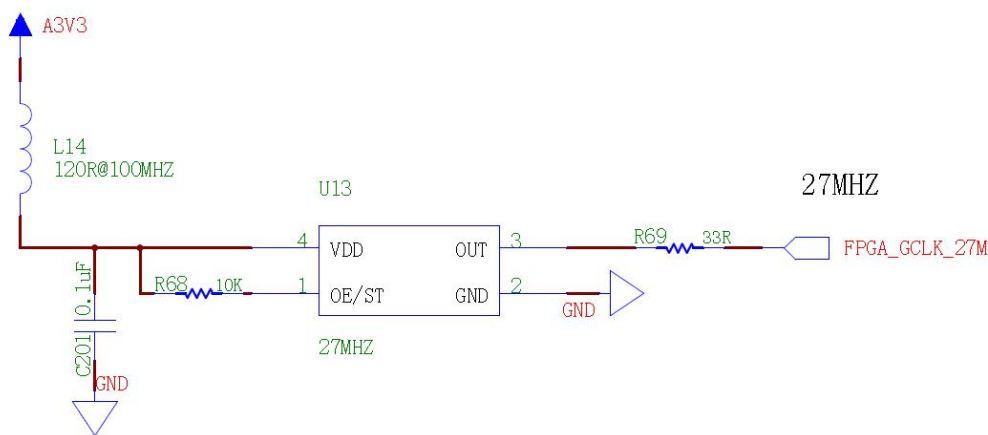


具体管脚分配请看下表：

| 信号         | PG2L100H Pin |
|------------|--------------|
| GCLK_DDR_P | V4           |
| GCLK_DDR_N | W4           |

### 2.2.3.2 27MHz 单端晶振

下图为有源单端晶振电路，这个时钟是给 FPGA 内部的逻辑提供时钟输入，可用于逻辑设计或是通过 PLL 来产生不同频率的时钟。



具体管脚分配请看下表：

| 信号            | PG2L100H Pin |
|---------------|--------------|
| FPGA_GCLK_27M | Y18          |

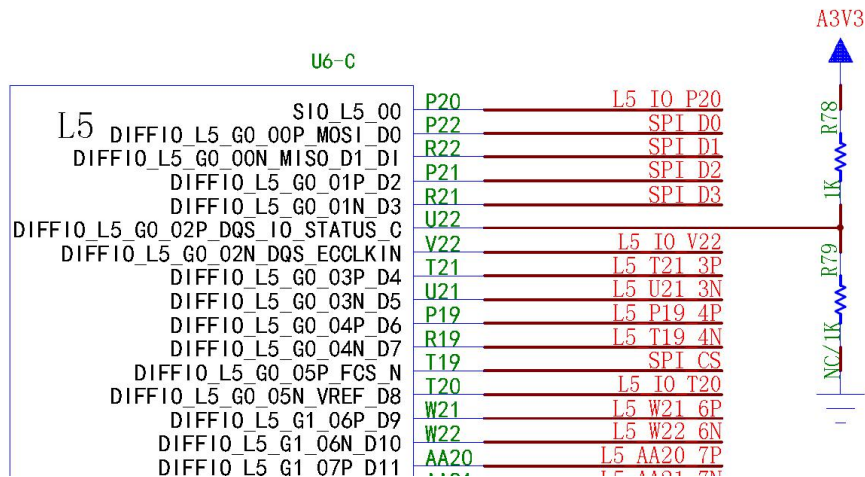
## 2.2.4 上电 IO Status

在 Logos2 器件上有一个功能复用 IO，控制从上电完成后到进入用户模式之前中所有用户 IO 的弱上拉电阻是否使能。此管脚在配置之前或是配置过程中，该引脚不允许悬空，此 IO 在上电后的对应功能如下：

- (1) “0”，使能所有用户 IO 内部上拉电阻。
- (2) “1”，不使能所有用户 IO 内部上拉电阻。

MES2L100H 核心板将此管脚的功能默认接 GND，用户可根据需求，自行焊接电阻选择上电后初始的 IO 状态；

功能电路如下：



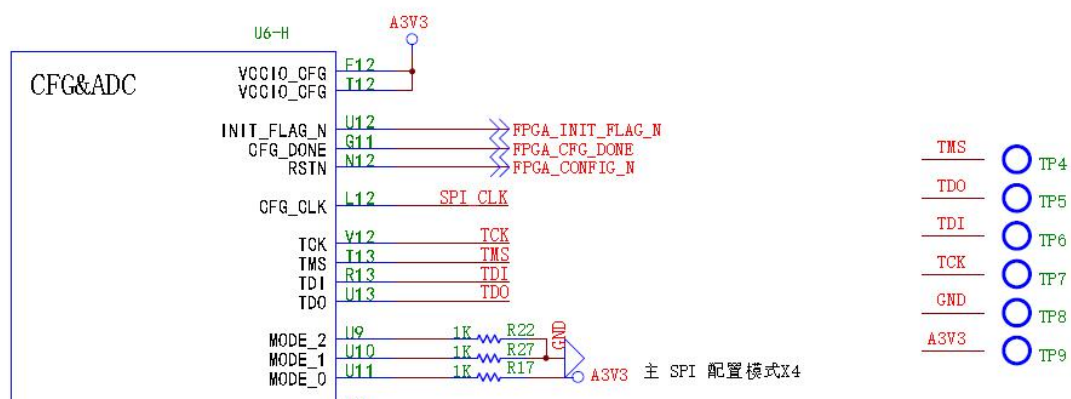
IO Status 配置电路

## 2.2.5 JTAG 接口

MES2L100H 核心板正面左上角预留 JTAG 触点，可在没有底板的情况下调试核心板。扩展 IO 的 JTAG 在 J5 扩展口，用于下载 FPGA 程序或者固化程序到 FLASH。



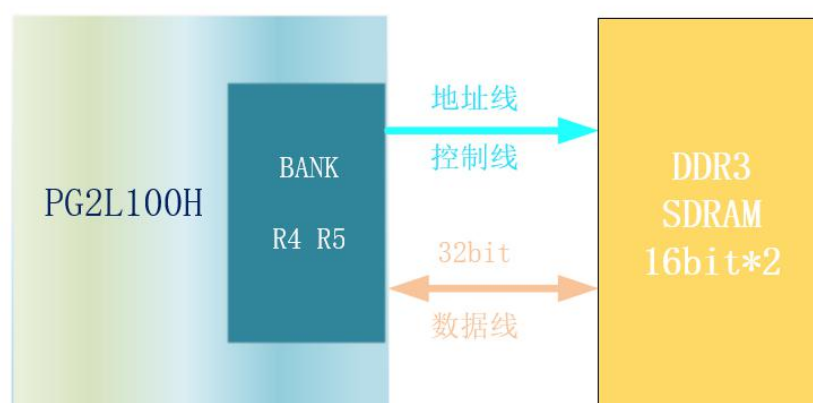
MES2L100H 核心板正面右上角



JTAG 接口电路

## 2.2.6 DDR3

MES2L100H 核心板上配有两个 Micron 公司的 4Gbit (512MB) 的 DDR3 芯片 ( 共 计 8Gbit), 型 号 为 MT41K256M16TW-107:P ( 兼 容 Micron MT41K256M16HA-125、Winbond W634GU6NB-11 ) 。 DDR 的总线宽度共为 32bit。DDR3 SDRAM 的最高运行时钟速度可达 533MHz(数据速率 1066Mbps)。该 DDR3 存储系统直接连接到了 FPGA 的 BANK R4 R5, 在电路设计和 PCB 设计时已充分考虑匹配电阻/终端电阻,走线阻抗控制,走线等长控制,保证 DDR3 高速稳定的工作。DDR3 DRAM 的硬件连接示意图如下图所示:



DDR3 布线采用 50 欧姆走线阻抗用于单端信号, DCI 电阻 (VRP / VRN) 以及差分时钟设置为 100 欧姆。每个 DDR3 芯片在 ZQ 上采用 240 欧姆电阻下拉。DDR-VDDQ 设置为 1.5V, 以支持所选的 DDR3 器件。DDR-VTT 是与 DDR-VDDQ 始终电压跟随, 保持为  $\frac{1}{2}$  倍 DDR-VDDQ 的电压值。DDR-VREF 是一个独立的缓冲输出, 等于  $\frac{1}{2}$  倍 DDR-VDDQ 的电压。DDR-VREF 是隔离的, 可为 DDR 电平转

换提供更清晰的参考。

DDR3 的具体管脚分配如下：

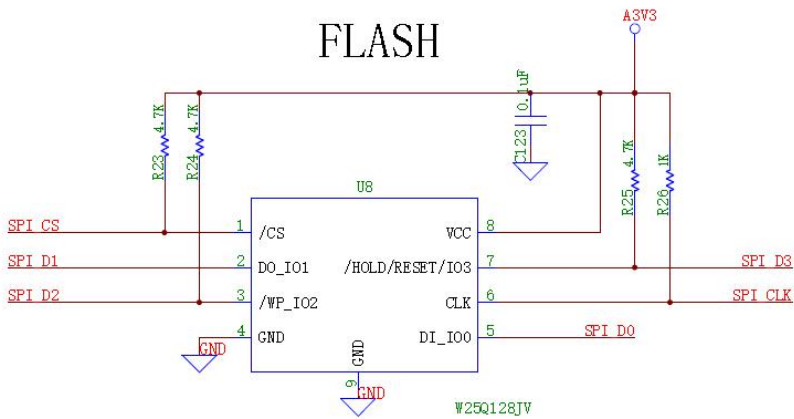
| 信号名称          | PG2L100H 管脚 | 信号名称          | PG2L100H 管脚 |
|---------------|-------------|---------------|-------------|
| ddr3_addr[0]  | Y6          | ddr3_addr[14] | AA1         |
| ddr3_addr[1]  | AA5         | ddr3_addr[15] | AB1         |
| ddr3_addr[2]  | Y3          | ddr3_ba[0]    | W2          |
| ddr3_addr[3]  | W1          | ddr3_ba[1]    | AB5         |
| ddr3_addr[4]  | AB6         | ddr3_ba[2]    | Y7          |
| ddr3_addr[5]  | U1          | ddr3_cas_n    | W6          |
| ddr3_addr[6]  | AB7         | ddr3_ck_n     | AA4         |
| ddr3_addr[7]  | U2          | ddr3_ck_p     | Y4          |
| ddr3_addr[8]  | AB8         | ddr3_cke      | AB3         |
| ddr3_addr[9]  | Y2          | ddr3_cs_n     | W5          |
| ddr3_addr[10] | AB2         | ddr3_odt      | V2          |
| ddr3_addr[11] | AA3         | ddr3_ras_n    | AA8         |
| ddr3_addr[12] | AA6         | ddr3_reset_n  | U3          |
| ddr3_addr[13] | Y1          | ddr3_we_n     | Y8          |
| ddr3_dm[0]    | L5          | ddr3_dm[2]    | F3          |
| ddr3_dm[1]    | N2          | ddr3_dm[3]    | H3          |
| ddr3_dq[0]    | K4          | ddr3_dq[16]   | C2          |
| ddr3_dq[1]    | L4          | ddr3_dq[17]   | E2          |
| ddr3_dq[2]    | J6          | ddr3_dq[18]   | B2          |
| ddr3_dq[3]    | M3          | ddr3_dq[19]   | F1          |
| ddr3_dq[4]    | K3          | ddr3_dq[20]   | B1          |
| ddr3_dq[5]    | M2          | ddr3_dq[21]   | G1          |
| ddr3_dq[6]    | J4          | ddr3_dq[22]   | A1          |
| ddr3_dq[7]    | L3          | ddr3_dq[23]   | D2          |
| ddr3_dq[8]    | P1          | ddr3_dq[24]   | H2          |
| ddr3_dq[9]    | N4          | ddr3_dq[25]   | H4          |

|               |    |               |    |
|---------------|----|---------------|----|
| ddr3_dq[10]   | R1 | ddr3_dq[26]   | K1 |
| ddr3_dq[11]   | M5 | ddr3_dq[27]   | G3 |
| ddr3_dq[12]   | P2 | ddr3_dq[28]   | J5 |
| ddr3_dq[13]   | M6 | ddr3_dq[29]   | G4 |
| ddr3_dq[14]   | P6 | ddr3_dq[30]   | J1 |
| ddr3_dq[15]   | N5 | ddr3_dq[31]   | G2 |
| ddr3_dqs_p[0] | M1 | ddr3_dqs_n[0] | L1 |
| ddr3_dqs_p[1] | P5 | ddr3_dqs_n[1] | P4 |
| ddr3_dqs_P[2] | E1 | ddr3_dqs_n[2] | D1 |
| ddr3_dqs_P[3] | K2 | ddr3_dqs_n[3] | J2 |

2.2.7 QSPI Flash

MES2L100H 核心板具有 4 位 SPI（QSPI）串行 Nor 闪存，采用的 winbond 的 W25Q128。连接在 PG2L100H 的特定引脚上，采用 3.3V 电平标准。

QSPI 的电路连接如下：



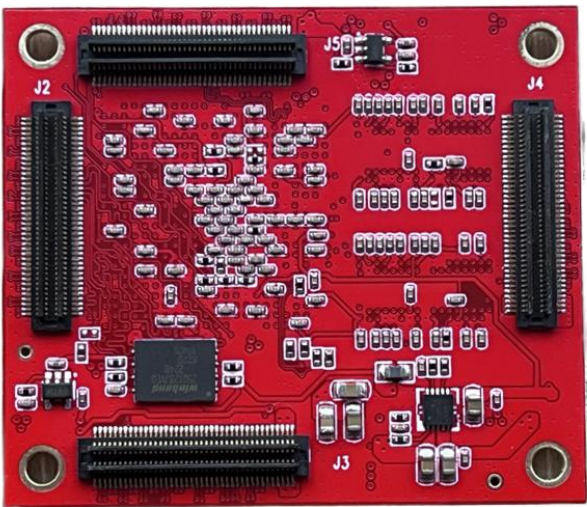
QSPI Flash 管脚分配如下

| 信号  | 描述    | PG2L100H Pin | QSPI Pin |
|-----|-------|--------------|----------|
| CS  | 片选    | T19          | 1        |
| DQ0 | 数据位 0 | P22          | 5        |
| DQ1 | 数据位 1 | R22          | 2        |

|     |        |     |   |
|-----|--------|-----|---|
| DQ2 | 数据位 2  | P21 | 3 |
| DQ3 | 数据位 3  | R21 | 7 |
| SCK | 串行数据时钟 | L12 | 6 |

2.2.8 扩展 IO

MES2L100H 核心板背面共有 4 个 80pin 高速扩展口 J2/J3/J4/J5， pin 间距 0.5mm，FPGA 的 IO 通过 3 个扩展口与底板连接，实现高速数据通信。



扩展口 J2:

| J2 管脚 | 网络名称       | FPGA 管脚 | J2 管脚 | 网络名称       | FPGA 管脚 |
|-------|------------|---------|-------|------------|---------|
| 1     | L4_IO_M17  | M17     | 2     | L4_M18_15P | M18     |
| 3     | L4_IO_J16  | J16     | 4     | L4_L18_15N | L18     |
| 5     | L4_N20_17P | N20     | 6     | L4_M15_23P | M15     |
| 7     | L4_M20_17N | M20     | 8     | L4_M16_23N | M16     |
| 9     | GND        |         | 10    | GND        |         |
| 11    | L4_N18_16P | N18     | 12    | L4_L14_21P | L14     |
| 13    | L4_N19_16N | N19     | 14    | L4_L15_21N | L15     |
| 15    | L4_N22_14P | N22     | 16    | L4_M13_19P | M13     |
| 17    | L4_M22_14N | M22     | 18    | L4_L13_19N | L13     |

|           |             |     |           |            |     |
|-----------|-------------|-----|-----------|------------|-----|
| <b>19</b> | GND         |     | <b>20</b> | GND        |     |
| <b>21</b> | L4_M21_9P   | M21 | <b>22</b> | L4_K21_8P  | K21 |
| <b>23</b> | L4_L21_9N   | L21 | <b>24</b> | L4_K22_8N  | K22 |
| <b>25</b> | L4_K18_GCLK | K18 | <b>26</b> | L4_L19_13P | L19 |
| <b>27</b> | NC          |     | <b>28</b> | L4_L20_13N | L20 |
| <b>29</b> | GND         |     | <b>30</b> | GND        |     |
| <b>31</b> | NC          |     | <b>32</b> | L4_K17_20P | K17 |
| <b>33</b> | NC          |     | <b>34</b> | L4_J17_20N | J17 |
| <b>35</b> | NC          |     | <b>36</b> | L4_L16_22P | L16 |
| <b>37</b> | NC          |     | <b>38</b> | L4_K16_22N | K16 |
| <b>39</b> | NC          |     | <b>40</b> | L4_K13_18P | K13 |
| <b>41</b> | NC          |     | <b>42</b> | L4_K14_18N | K14 |
| <b>43</b> | NC          |     | <b>44</b> | L4_J22_6P  | J22 |
| <b>45</b> | L5_IO_Y19   | Y19 | <b>46</b> | L4_H22_6N  | H22 |
| <b>47</b> | L5_IO_W20   | W20 | <b>48</b> | L4_J20_10P | J20 |
| <b>49</b> | L5_IO_V22   | V22 | <b>50</b> | L4_J21_10N | J21 |
| <b>51</b> | L5_IO_T20   | T20 | <b>52</b> | L4_H17_5P  | H17 |
| <b>53</b> | L5_IO_P20   | P20 | <b>54</b> | L4_H18_5N  | H18 |
| <b>55</b> | L5_IO_N15   | N15 | <b>56</b> | L4_J15_4P  | J15 |
| <b>57</b> | L4_J19_11P  | J19 | <b>58</b> | L4_H15_4N  | H15 |
| <b>59</b> | L4_H19_11N  | H19 | <b>60</b> | L4_H20_7P  | H20 |
| <b>61</b> | NC          |     | <b>62</b> | L4_G20_7N  | G20 |
| <b>63</b> | GND         |     | <b>64</b> | GND        |     |
| <b>65</b> | NC          |     | <b>66</b> | L4_G17_3P  | G17 |
| <b>67</b> | NC          |     | <b>68</b> | L4_G18_3N  | G18 |
| <b>69</b> | L4_G15_1P   | G15 | <b>70</b> | L3_IO_F21  | F21 |
| <b>71</b> | L4_G16_1N   | G16 | <b>72</b> | L3_IO_F15  | F15 |
| <b>73</b> | L4_J14_2P   | J14 | <b>74</b> | L3_G21_23P | G21 |
| <b>75</b> | L4_H14_2N   | H14 | <b>76</b> | L3_G22_23N | G22 |
| <b>77</b> | L4_H13_0P   | H13 | <b>78</b> | L3_F19_17P | F19 |
| <b>79</b> | L4_G13_0N   | G13 | <b>80</b> | L3_F20_17N | F20 |

|    |    |    |    |
|----|----|----|----|
| 81 | NC | 82 | NC |
|----|----|----|----|

扩展口 J3:

| J3 管脚 | 网络名称        | FPGA 管脚 | J3 管脚 | 网络名称       | FPGA 管脚 |
|-------|-------------|---------|-------|------------|---------|
| 1     | 5V          |         | 2     | 5V         |         |
| 3     |             |         | 4     |            |         |
| 5     |             |         | 6     |            |         |
| 7     |             |         | 8     |            |         |
| 9     | GND         |         | 10    | GND        |         |
| 11    | /           |         | 12    | GND        |         |
| 13    | L6_V13_12P  | V13     | 14    | L6_AA13_2P | AA13    |
| 15    | L6_V14_12N  | V14     | 16    | L6_AB13_2N | AB13    |
| 17    | L6_T14_14P  | T14     | 18    | L6_Y13_4P  | Y13     |
| 19    | L6_T15_14N  | T15     | 20    | L6_AA14_4P | AA14    |
| 21    | GND         |         | 22    | GND        |         |
| 23    | L6_T16_16P  | T16     | 24    | L6_W14_5P  | W14     |
| 25    | L6_U16_16N  | U16     | 26    | L6_Y14_5N  | Y14     |
| 27    | L6_W15_15P  | W15     | 28    | L6_AA15_3P | AA15    |
| 29    | L6_W16_15N  | W16     | 30    | L6_AB15_3N | AB15    |
| 31    | GND         |         | 32    | GND        |         |
| 33    | L6_V15_13N  | V15     | 34    | L6_Y16_0P  | Y16     |
| 35    | L6_U15_13P  | U15     | 36    | L6_AA16_0N | AA16    |
| 37    | /           |         | 38    | L6_AB16_1P | AB16    |
| 39    | L5_W19_GCLK | W19     | 40    | L6_AB17_1N | AB17    |
| 41    | GND         |         | 42    | GND        |         |
| 43    | L5_P15_21P  | P15     | 44    | L5_R14_18N | R14     |
| 45    | L5_R16_21N  | R16     | 46    | L5_P16_23P | P16     |
| 47    | L5_N17_20P  | N17     | 48    | L5_R17_23N | R17     |
| 49    | L5_P17_20N  | P17     | 50    | L5_V17_15P | V17     |
| 51    | GND         |         | 52    | GND        |         |
| 53    | L5_P19_4P   | P19     | 54    | L5_W17_15N | W17     |

|    |            |     |    |             |      |
|----|------------|-----|----|-------------|------|
| 55 | L5_T19_4N  | T19 | 56 | L5_AA18_16P | AA18 |
| 57 | L5_U17_17P | U17 | 58 | L5_AB18_16N | AB18 |
| 59 | L5_U18_17N | U18 | 60 | L5_V18_13P  | V18  |
| 61 | L5_R18_19P | R18 | 62 | L5_V19_13N  | V19  |
| 63 | L5_T18_19N | T18 | 64 | L5_AA19_14P | AA19 |
| 65 | L5_N13_22P | N13 | 66 | L5_AB20_14N | AB20 |
| 67 | L5_N14_22N | N14 | 68 | L5_AA20_7P  | AA20 |
| 69 | L5_U20_10P | U20 | 70 | L5_AA21_7N  | AA21 |
| 71 | L5_V20_10N | V20 | 72 | L5_AB21_9P  | AB21 |
| 73 | L5_T21_3P  | T21 | 74 | L5_AB22_9N  | AB22 |
| 75 | L5_U21_3N  | U21 | 76 | L5_Y21_8P   | Y21  |
| 77 | L5_W21_6P  | W21 | 78 | L5_Y22_8N   | Y22  |
| 79 | L5_W22_6N  | W22 | 80 | GND         |      |
| 81 | NC         |     | 82 | NC          |      |

扩展口 J4:

| J4 管脚 | 网络名称       | FPGA 管脚 | J4 管脚 | 网络名称       | FPGA 管脚   |
|-------|------------|---------|-------|------------|-----------|
| 1     | 5V         |         | 2     | 5V         |           |
| 3     |            |         | 4     |            |           |
| 5     |            |         | 6     |            |           |
| 7     |            |         | 8     |            |           |
| 9     | GND        |         | 10    | GND        |           |
| 11    | ADC_P      | L10     | 12    | NC         |           |
| 13    | ADC_N      | M9      | 14    | REST       | 复位信号, 低有效 |
| 15    | L6_AB11_6P | AB11    | 16    | L6_W11_11P | W11       |
| 17    | L6_AB12_6N | AB12    | 18    | L6_W12_11N | W12       |
| 19    | GND        |         | 20    | GND        |           |
| 21*   | R5_V9_20P  | V9      | 22    | L6_Y12_10N | Y12       |
| 23*   | R5_V8_20N  | V8      | 24    | L6_Y11_10P | Y11       |

|     |           |     |    |            |      |
|-----|-----------|-----|----|------------|------|
| 25* | R5_W9_23P | W9  | 26 | L6_AA10_8P | AA10 |
| 27* | R5_Y9_23N | Y9  | 28 | L6_AA11_8N | AA11 |
| 29  | GND       |     | 30 | GND        |      |
| 31* | R5_R3_2P  | R3  | 32 | L6_AA9_7P  | AA9  |
| 33* | R5_R2_2N  | R2  | 34 | L6_AB10_7N | AB10 |
| 35* | R5_R4_12P | R4  | 36 | L6_V10_9P  | V10  |
| 37* | R5_T4_12N | T4  | 38 | L6_W10_9N  | W10  |
| 39  | GND       |     | 40 | GND        |      |
| 41  | L5_IO_P14 | P14 | 42 | NC         |      |
| 43  | L4_IO_K19 | K19 | 44 |            |      |
| 45  | GND       |     | 46 | GND        |      |
| 47  | NC        |     | 48 | NC         |      |
| 49  | GND       |     | 50 | GND        |      |
| 51  | NC        |     | 52 | NC         |      |
| 53  | GND       |     | 54 | GND        |      |
| 55  | NC        |     | 56 | NC         |      |
| 57  |           |     | 58 |            |      |
| 59  | GND       |     | 60 | GND        |      |
| 61  | NC        |     | 62 | NC         |      |
| 63  |           |     | 64 |            |      |
| 65  | GND       |     | 66 | GND        |      |
| 67  | NC        |     | 68 | NC         |      |
| 69  | GND       |     | 70 | GND        |      |
| 71  | NC        |     | 72 | NC         |      |
| 73  |           |     | 74 |            |      |
| 75  |           |     | 76 |            |      |
| 77  |           |     | 78 |            |      |
| 79  | GND       |     | 80 | GND        |      |
| 81  | NC        |     | 82 | NC         |      |

注：“\*”标 IO 为 1.5V 电平标准，其他 IO 为 3.3V 电平标准；

扩展口 J5:

| J5 管脚 | 网络名称       | FPGA 管脚 | J5 管脚 | 网络名称       | FPGA 管脚 |
|-------|------------|---------|-------|------------|---------|
| 1     | L3_C13_7P  | C13     | 2     | L3_F13_0P  | F13     |
| 3     | L3_B13_7N  | B13     | 4     | L3_F14_0N  | F14     |
| 5     | L3_C14_2P  | C14     | 6     | L3_E13_3P  | E13     |
| 7     | L3_C15_2N  | C15     | 8     | L3_E14_3N  | E14     |
| 9     | L3_D14_5P  | D14     | 10    | L3_E16_4P  | E16     |
| 11    | L3_D15_5N  | D15     | 12    | L3_D16_4N  | D16     |
| 13    | GND        |         | 14    | GND        |         |
| 15    | MGT_TX0_P  | D7      | 16    | MGT_RX0_P  | D9      |
| 17    | MGT_TX0_N  | C7      | 18    | MGT_RX0_N  | C9      |
| 19    | GND        |         | 20    | GND        |         |
| 21    | MGT_TX1_P  | B6      | 22    | MGT_RX1_P  | B10     |
| 23    | MGT_TX1_N  | A6      | 24    | MGT_RX1_N  | A10     |
| 25    | GND        |         | 26    | GND        |         |
| 27    | MGT_CLK_P  | F10     | 28    | MGT_RX2_P  | C5      |
| 29    | MGT_CLK_N  | E10     | 30    | MGT_RX2_N  | D5      |
| 31    | GND        |         | 32    | GND        |         |
| 33    | MGT_TX2_P  | C11     | 34    | MGT_RX3_P  | A4      |
| 35    | MGT_TX2_N  | D11     | 36    | MGT_RX3_N  | B4      |
| 37    | GND        |         | 38    | GND        |         |
| 39    | MGT_TX3_P  | A8      | 40    | L3_F16_1P  | F16     |
| 41    | MGT_TX3_N  | B8      | 42    | L3_E17_1N  | E17     |
| 43    | GND        |         | 44    | GND        |         |
| 45    | L3_A13_9P  | A13     | 46    | L3_D17_11P | D17     |
| 47    | L3_A14_9N  | A14     | 48    | L3_C17_11N | C17     |
| 49    | L3_A15_8P  | A15     | 50    | L3_F18_14P | F18     |
| 51    | L3_A16_8N  | A16     | 52    | L3_E18_14N | E18     |
| 53    | L3_B15_6P  | B15     | 54    | L3_B17_10  | B17     |
| 55    | L3_B16_6N  | B16     | 56    | L3_B18_10N | B18     |
| 57    | L3_C18_12P | C18     | 58    | L3_E19_13P | E19     |

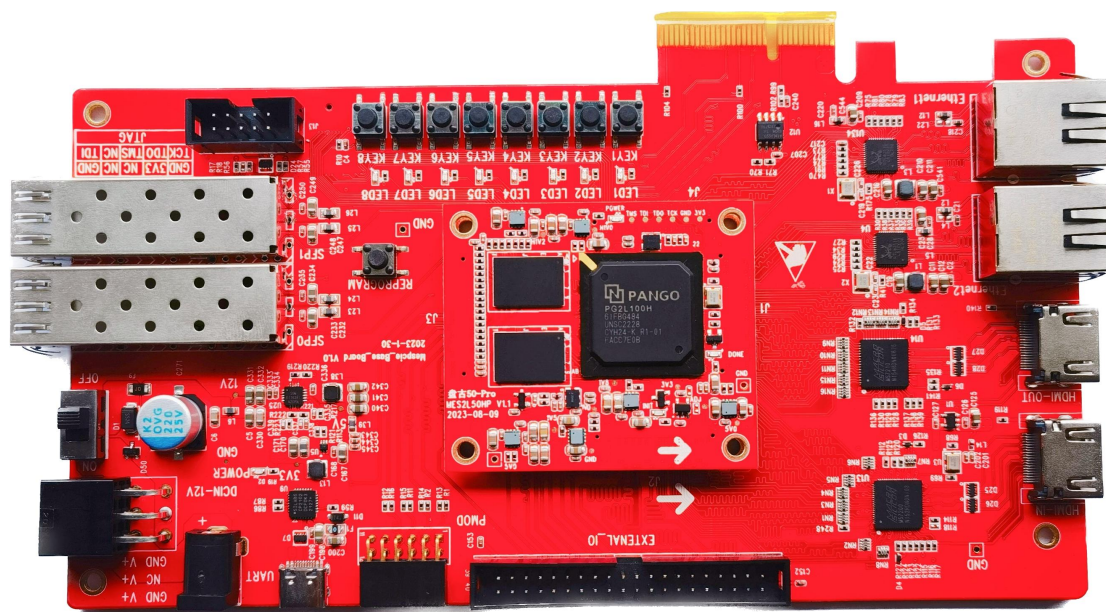
|    |            |     |    |            |     |
|----|------------|-----|----|------------|-----|
| 59 | L3_C19_12N | C19 | 60 | L3_D19_13N | D19 |
| 61 | GND        |     | 62 | GND        |     |
| 63 | L3_A18_16P | A18 | 64 | L3_D20_18P | D20 |
| 65 | L3_A19_16N | A19 | 66 | L3_C20_18N | C20 |
| 67 | L3_B20_15P | B20 | 68 | L3_E21_22P | E21 |
| 69 | L3_A20_15N | A20 | 70 | L3_D21_22N | D21 |
| 71 | L3_B21_20P | B21 | 72 | L3_C22_19P | C22 |
| 73 | L3_A21_20N | A21 | 74 | L3_B22_19N | B22 |
| 75 | L3_D22_21N | D22 | 76 | L3_E22_21P | E22 |
| 77 | TDI        |     | 78 | TCK        |     |
| 79 | TMS        |     | 80 | TMS        |     |
| 81 | NC         |     | 82 | NC         |     |

### 3、 扩展底板

#### 3.1 扩展底板简介

通过前面开发系统的介绍可知，扩展底板的外设资源如下：

- ◆ HDMI 输入接口\*1
- ◆ 光纤接口\*2
- ◆ PCIE X2 接口\*1
- ◆ SD 卡接口\*1
- ◆ 40 pin IO 扩展口\*1
- ◆ 按键 \*8
- ◆ HDMI 输出接口\*1
- ◆ 10/100/1000M 以太网接口\*2
- ◆ Jtag 调试接口\*1
- ◆ PMOD 接口 \*1
- ◆ USB 转串口\*1
- ◆ LED \*8



## 3.2 外接通信口

### 3.2.1 网口

MES2L100HP 开发板使用 Realtek RTL8211 PHY 实现了一个 10/100/1000 以太网端口,用于网络连接。该器件工作电压为支持 2.5V、3.3V。PHY 连接到 BANK L3, 并通过 RGMII 接口连接到 PG2L100H。RJ-45 连接器是 HFJ11-1G01E-L12RL, 具有集成的自动缠绕磁性元件, 可提高性能, 质量和可靠性。RJ-45 有两个状态指示灯 LED, 用于指示流量和有效链路状态。

下图显示了 MES2L100HP 开发板上的网口连接框图。

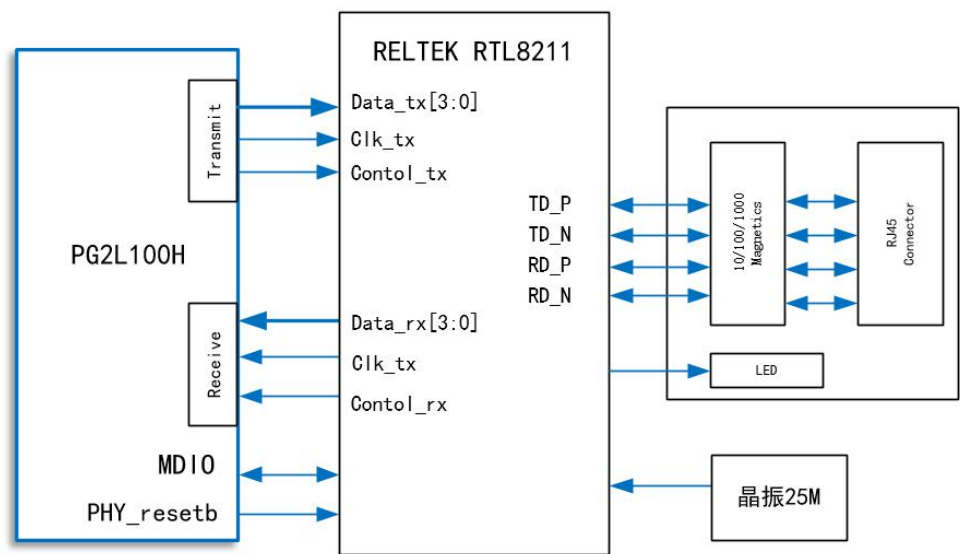


图 3-1 RTL8211 连接示例

下表为网口 1 对应 PG2L100H 与 RTL8211 的管脚连接。

表 3-1 PG2L100H 连接 RTL8211 引脚情况

| 信号名称    | 描述      | PG2L100H 管脚 | RTL8211 Pin |
|---------|---------|-------------|-------------|
| RX_CLK  | 接收时钟线   | C18         | 40          |
| RX_CTRL | 接收控制线   | A14         | 37          |
| RXD[3]  | 接收数据线 3 | B16         | 38          |
| RXD[2]  | 接收数据线 2 | B15         | 39          |
| RXD[1]  | 接收数据线 1 | A16         | 41          |
| RXD[0]  | 接收数据线 0 | A15         | 42          |
| TX_CLK  | 发送时钟线   | A18         | 47          |
| TX_CTRL | 发送控制线   | A21         | 2           |
| TXD[3]  | 发送数据线 3 | B21         | 44          |
| TXD[2]  | 发送数据线 2 | A20         | 45          |

|        |           |     |    |
|--------|-----------|-----|----|
| TXD[1] | 发送数据线 1   | B20 | 48 |
| TXD[0] | 发送数据线 0   | A19 | 1  |
| MDC    | 控制总线时钟    | E22 | 5  |
| MDIO   | 控制总线数据    | B22 | 4  |
| RSTN   | 复位控制线，低有效 | D22 | 29 |

下表为网口 2 对应 PG2L100H 与 RTL8211 的管脚连接。

表 3-2 PG2L100H 连接 RTL8211 引脚情况

| 信号名称    | 描述      | PG2L100H 管脚 | RTL8211 Pin |
|---------|---------|-------------|-------------|
| RX_CLK  | 接收时钟线   | K18         | 40          |
| RX_CTRL | 接收控制线   | G13         | 37          |
| RXD[3]  | 接收数据线 3 | G16         | 38          |
| RXD[2]  | 接收数据线 2 | J14         | 39          |
| RXD[1]  | 接收数据线 1 | H14         | 41          |
| RXD[0]  | 接收数据线 0 | H13         | 42          |
| TX_CLK  | 发送时钟线   | F20         | 47          |
| TX_CTRL | 发送控制线   | F21         | 2           |
| TXD[3]  | 发送数据线 3 | F15         | 44          |
| TXD[2]  | 发送数据线 2 | G21         | 45          |
| TXD[1]  | 发送数据线 1 | G22         | 48          |
| TXD[0]  | 发送数据线 0 | F19         | 1           |
| MDC     | 控制总线时钟  | G18         | 5           |
| MDIO    | 控制总线数据  | G17         | 4           |

|      |           |     |    |
|------|-----------|-----|----|
| RSTN | 复位控制线，低有效 | G15 | 29 |
|------|-----------|-----|----|

### 3.2.2 SFP 光纤接口

MES2L100HP 板上有 2 路光纤接口，用户可以购买光模块(市场上 1.25G，2.5G 光模块)插入到这 2 个光纤接口中进行光纤数据通信。2 路光纤接口分别跟 FPGA 的 HSST 收发器的 2 路 RX/TX 相连接，TX 信号和 RX 信号都是以差分信号方式通过隔直电容连接 FPGA 和光模块，每路 TX 发送和 RX 接收数据速率高达 6.6Gb/s。HSST 收发器的参考时钟由板载的 125M 差分晶振提供。FPGA 和光纤设计示意图如下图所示:

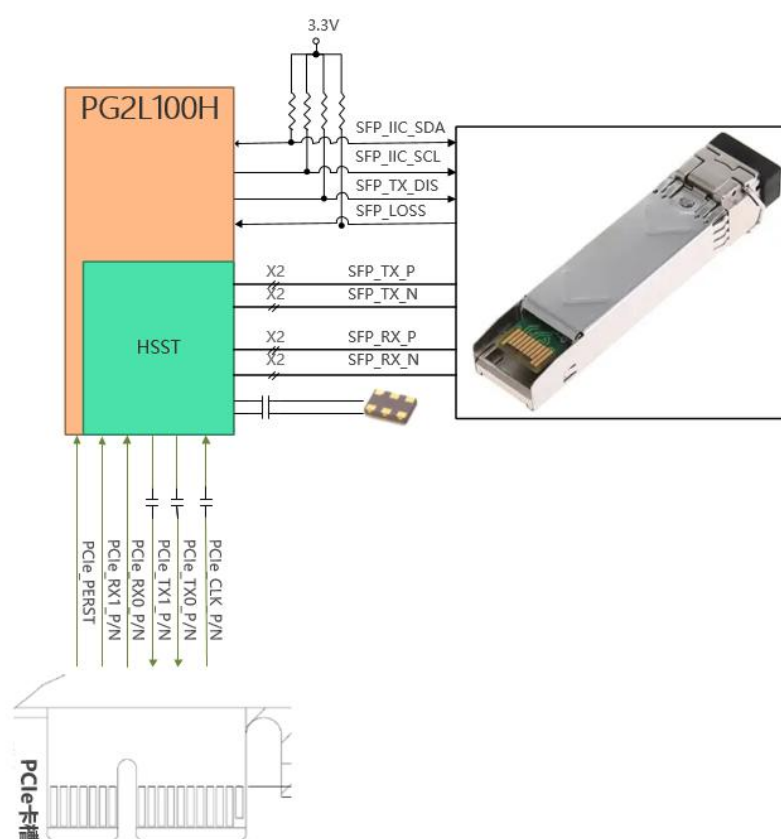


图 3-2 PG2L100H HSST 功能连接图

下表显示了 PG2L100H 与 2 个 SFP 接口的管脚连接。

表 3-3 PG2L100H 引脚分配情况

| 信号名称        | 描述                             | PG2L100H 管脚 |
|-------------|--------------------------------|-------------|
| SFP0_TXP    | SFP0 光模块数据发送 P 端               | D5          |
| SFP0_TXN    | SFP0 光模块数据发送 N 端               | C5          |
| SFP0_RXP    | SFP0 光模块数据接收 P 端               | D11         |
| SFP0_RXN    | SFP0 光模块数据接收 N 端               | C11         |
| SFP0_LOS    | SFP0 光模块接收 Loss 信号，高表示没有接收到光信号 | E19         |
| SFP0_SCI    | SFP0 光模块 I2C 通信时钟              | B18         |
| SFP0_SDA    | SFP0 光模块 I2C 通信数据              | B17         |
| SFP0_TX_DIS | SFP0 光模块光发射禁止，高有效              | E18         |
| SFP1_TXP    | SFP1 光模块数据发送 P 端               | B4          |
| SFP1_TXN    | SFP1 光模块数据发送 N 端               | A4          |
| SFP1_RXP    | SFP1 光模块数据接收 P 端               | B8          |
| SFP1_RXN    | SFP1 光模块数据接收 N 端               | A8          |
| SFP1_LOS    | SFP1 光模块接收 Loss 信号，高表示没有接收到光信号 | E21         |
| SFP1_SCI    | SFP1 光模块 I2C 通信时钟              | C20         |
| SFP1_SDA    | SFP1 光模块 I2C 通信数据              | D20         |
| SFP1_TX_DIS | SFP1 光模块光发射禁止，高有效              | D19         |

3.2.3 PCIe X2 接口

MES2L100HP 扩展底板上提供一个工业级高速数据传输 PCIe x2 接口，PCIE 卡的外形尺寸符合标准 PCIe 卡电气规范要求，可直接在普通 PC 的 x4

PCIe 插槽上使用。

PCIe 接口的收发信号直接跟 FPGA 的 HSST 收发器相连接，两通道的 TX 信号和 RX 信号都是以差分信号方式连接到 FPGA，单通道通信速率可高达 5G bit 带宽。PCIe 的参考时钟由 PC 的 PCIe 插槽提供给开发板，参考时钟频率为 100Mhz。

开发板的 PCIe 接口的设计示意图如上光纤连接参考图所示,其中 TX 发送信号和参考时钟 CLK 信号用 AC 耦合模式连接。

下表显示了 PG2L100H 与 PCIe 卡槽的管脚连接。

**表 3-4 PG2L100H 引脚分配情况**

| 信号名称          | 描述                 | PG2L100H 管脚 |
|---------------|--------------------|-------------|
| PCIE_TX0P     | PCIe 通道 0 数据发送 P 端 | D7          |
| PCIE_TX0N     | PCIe 通道 0 数据发送 N 端 | C7          |
| PCIE_TX1P     | PCIe 通道 1 数据发送 P 端 | B6          |
| PCIE_TX1N     | PCIe 通道 1 数据发送 N 端 | A6          |
| PCIE_RX0P     | PCIe 通道 0 数据接收 P 端 | D9          |
| PCIE_RX0N     | PCIe 通道 0 数据接收 N 端 | C9          |
| PCIE_RX1P     | PCIe 通道 1 数据接收 P 端 | B10         |
| PCIE_RX1N     | PCIe 通道 1 数据接收 N 端 | A10         |
| PCIE_refclk_P | PCIe 的参考时钟 P 端     | F10         |
| PCIE_refclk_N | PCIe 的参考时钟 N 端     | E10         |
| PCIE_PERST    | PCIe 的复位引脚         | C22         |
| PCIE_WAKE     | PCIe 的唤醒引脚         | D21         |

3.2.4 串口

MES2L100HP 扩展底板上集成了一路 USB 转串口模块，采用的 USB-UART 芯片是 CP2102，USB 接口采用 USB Type C 接口，可以用一根 USB Type C 线将它连接到上 PC 的 USB 口进行串口数据通信。

USB Uart 电路设计的示意图如下图所示:



图 3-3 USB-UART 原理框图

表 3-5 UART 引脚

| 信号       | 描述        | PG2L100H |
|----------|-----------|----------|
| UART0_TX | Uart 数据输出 | K19      |
| UART0_RX | Uart 数据输入 | P14      |

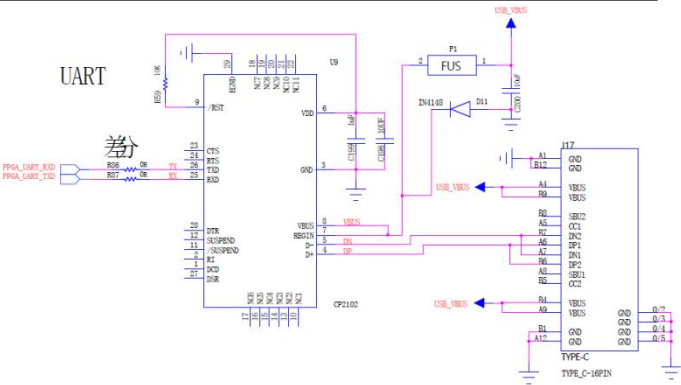


图 3-4 USB-UART 电路

## 3.2.5 JTAG

MES2L100HP 开发板预留了一个 JTAG 接口，用于下载 FPGA 程序或者固化程序到 FLASH。为了减轻带电插拔造成对 FPGA 芯片的损坏，我们在 JTAG 信号上添加了保护二极管来保证信号的电压在 FPGA 接受的范围，避免 FPGA 的损坏。

提醒：通电的情况下，应避免带电插拔。

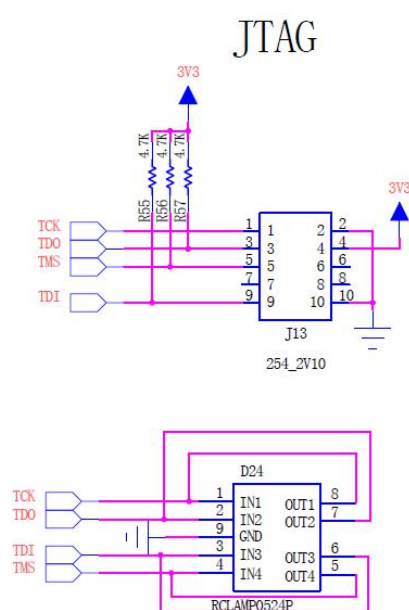


图 3-5 JTAG 连接座原理图

## 3.3 HDMI

### 3.3.1 HDMI 输入接口

HDMI 输入接口的实现，选用了国产宏晶微公司的 MS7200 HDMI 接收芯片，兼容 HDMI1.4b 及 HDMI 1.4b 下标准视频的 3D 传输格式。支持的最高分辨率高达 4K@30Hz，最高采样率达到 300MHz；MS7200 支持 YUV 和 RGB 之间的色彩空间转换，数字接口支持 YUV 及 RGB 格式输出；

MS7200 支持通过 IIS 总线或 SPDIF 传输高清音频，同时还支持高比特音频（HBR）音频，在 HBR 模式下，音频采样率最高为 768KHz。

其中，MS7200 的 IIC 配置接口与 FPGA 的 IO 相连，通过 FPGA 的编程来对 MS7200 进行初始化和控制操作，MES2L100HP 开发板上将 MS7200 的 SA 管脚下拉到地，故 IIC 的 ID 地址为 0x56；

HDMI 输入接口的硬件连接如下图所示。

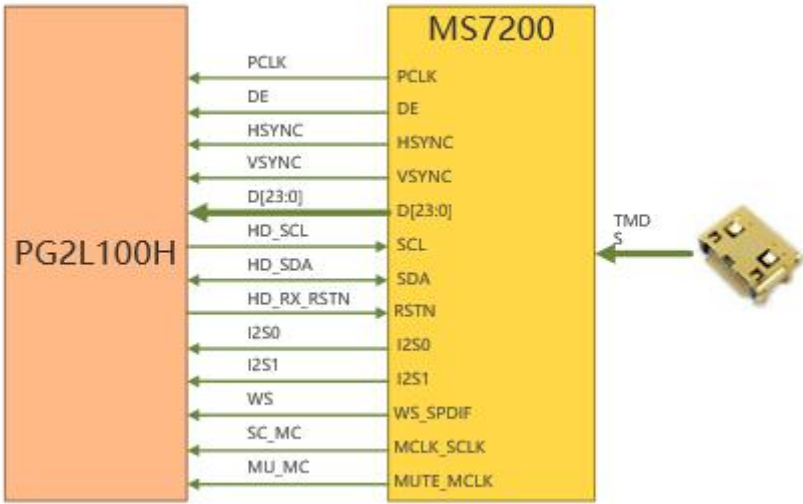


图 3-6 HDMI Receiver 连接示意图

具体管脚分配请看下表：

表 3-6 HDMI 管脚分配

| 信号         | 功能描述               | PG2L100H Pin |
|------------|--------------------|--------------|
| HD_RX_PCLK | HDMI 显示图像像素时钟      | W19          |
| HD_RX_VS   | HDMI 显示图像帧同步信号     | P15          |
| HD_RX_HS   | HDMI 显示图像行同步信号     | R16          |
| HD_RX_DE   | HDMI 显示图像有效像素点使能信号 | R14          |
| HD_RX_D0   | HDMI 显示图像像素点数据位[0] | P16          |
| HD_RX_D1   | HDMI 显示图像像素点数据位[1] | R17          |

|             |                                    |      |
|-------------|------------------------------------|------|
| HD_RX_D2    | HDMI 显示图像像素点数据位[2]                 | V17  |
| HD_RX_D3    | HDMI 显示图像像素点数据位[3]                 | W17  |
| HD_RX_D4    | HDMI 显示图像像素点数据位[4]                 | AA18 |
| HD_RX_D5    | HDMI 显示图像像素点数据位[5]                 | AB18 |
| HD_RX_D6    | HDMI 显示图像像素点数据位[6]                 | V18  |
| HD_RX_D7    | HDMI 显示图像像素点数据位[7]                 | V19  |
| HD_RX_D8    | HDMI 显示图像像素点数据位[8]                 | AA19 |
| HD_RX_D9    | HDMI 显示图像像素点数据位[9]                 | AB20 |
| HD_RX_D10   | HDMI 显示图像像素点数据位[10]                | AA20 |
| HD_RX_D11   | HDMI 显示图像像素点数据位[11]                | AA21 |
| HD_RX_D12   | HDMI 显示图像像素点数据位[12]                | V20  |
| HD_RX_D13   | HDMI 显示图像像素点数据位[13]                | U20  |
| HD_RX_D14   | HDMI 显示图像像素点数据位[14]                | N14  |
| HD_RX_D15   | HDMI 显示图像像素点数据位[15]                | N13  |
| HD_RX_D16   | HDMI 显示图像像素点数据位[16]                | T18  |
| HD_RX_D17   | HDMI 显示图像像素点数据位[17]                | R18  |
| HD_RX_D18   | HDMI 显示图像像素点数据位[18]                | U18  |
| HD_RX_D19   | HDMI 显示图像像素点数据位[19]                | U17  |
| HD_RX_D20   | HDMI 显示图像像素点数据位[20]                | T19  |
| HD_RX_D21   | HDMI 显示图像像素点数据位[21]                | P19  |
| HD_RX_D22   | HDMI 显示图像像素点数据位[22]                | P17  |
| HD_RX_D23   | HDMI 显示图像像素点数据位[23]                | N17  |
| HD_SCL      | MS7200 控制通道 IIC 的时钟信号              | Y21  |
| HD_SDA      | MS7200 控制通道 IIC 的数据信号              | Y22  |
| HD_RX_SC_MC | MS7200 音频通道 I2S 的串行时钟信号            | W21  |
| HD_RX_MU_MC | MS7200 音频通道 I2S 的主时钟信号或<br>Mute 信号 | J16  |

|             |                         |      |
|-------------|-------------------------|------|
| HD_RX_I2S1  | MS7200 音频通道 I2S 的数据通道 1 | U21  |
| HD_RX_I2S0  | MS7200 音频通道 I2S 的数据通道 0 | T21  |
| HD_RX_WS_SP | MS7200 音频通道 I2S 的位时钟    | W22  |
| HD_RX_RSTN  | MS7200 硬件复位信号，低电平有效     | AB22 |
| HD_RX_INT   | MS7200 输出中断信号           | AB21 |

### 3.3.2 HDMI 输出接口

HDMI 输出接口的实现,选用了国产宏晶微公司的 MS7210 HDMI 发送芯片,兼容 HDMI1.4b 及 HDMI 1.4b 下标准视频的 3D 传输格式。内置可编程 EDID 缓存,支持的最高分辨率高达 4K@30Hz,最高采样率达到 300MHz; MS7210 支持 YUV 和 RGB 之间的色彩空间转换,数字接口支持 YUV 及 RGB 格式输入;

MS7210 的 IIS 接口支持高清音频的传输,同时还支持高比特音频(HBR)音频,在 HBR 模式下,音频采样率最高为 768KHz。

其中,MS7210 的 IIC 配置接口与 FPGA 的 IO 相连,通过 FPGA 的编程来对 MS7210 进行初始化和控制操作,ME2L100HP 开发板上将 MS7210 的 SA 管脚上拉到电源电压,故 IIC 的 ID 地址为 0xB2;

HDMI 输出接口的硬件连接如下图所示。

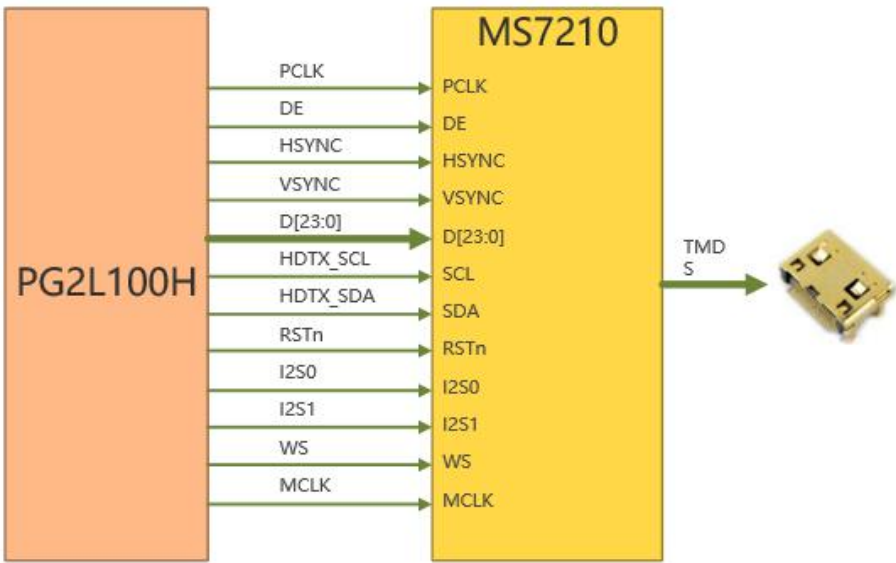


图 3-7 HDMI Transmit 连接示意图

具体管脚分配请看下表：

表 3-7 HDMI 管脚分配

| 信号         | 功能描述               | PG2L100H Pin |
|------------|--------------------|--------------|
| HD_TX_PCLK | HDMI 显示图像像素时钟      | L20          |
| HD_TX_VS   | HDMI 显示图像帧同步信号     | M17          |
| HD_TX_HS   | HDMI 显示图像行同步信号     | M18          |
| HD_TX_DE   | HDMI 显示图像有效像素点使能信号 | L18          |
| HD_TX_D0   | HDMI 显示图像像素点数据位[0] | M15          |
| HD_TX_D1   | HDMI 显示图像像素点数据位[1] | M16          |
| HD_TX_D2   | HDMI 显示图像像素点数据位[2] | L14          |
| HD_TX_D3   | HDMI 显示图像像素点数据位[3] | L15          |
| HD_TX_D4   | HDMI 显示图像像素点数据位[4] | M13          |
| HD_TX_D5   | HDMI 显示图像像素点数据位[5] | L13          |
| HD_TX_D6   | HDMI 显示图像像素点数据位[6] | K21          |
| HD_TX_D7   | HDMI 显示图像像素点数据位[7] | K22          |
| HD_TX_D8   | HDMI 显示图像像素点数据位[8] | L19          |

|             |                         |      |
|-------------|-------------------------|------|
| HD_TX_D9    | HDMI 显示图像像素点数据位[9]      | K17  |
| HD_TX_D10   | HDMI 显示图像像素点数据位[10]     | J17  |
| HD_TX_D11   | HDMI 显示图像像素点数据位[11]     | L16  |
| HD_TX_D12   | HDMI 显示图像像素点数据位[12]     | K16  |
| HD_TX_D13   | HDMI 显示图像像素点数据位[13]     | K13  |
| HD_TX_D14   | HDMI 显示图像像素点数据位[14]     | K14  |
| HD_TX_D15   | HDMI 显示图像像素点数据位[15]     | J22  |
| HD_TX_D16   | HDMI 显示图像像素点数据位[16]     | H22  |
| HD_TX_D17   | HDMI 显示图像像素点数据位[17]     | J20  |
| HD_TX_D18   | HDMI 显示图像像素点数据位[18]     | J21  |
| HD_TX_D19   | HDMI 显示图像像素点数据位[19]     | H17  |
| HD_TX_D20   | HDMI 显示图像像素点数据位[20]     | H18  |
| HD_TX_D21   | HDMI 显示图像像素点数据位[21]     | J15  |
| HD_TX_D22   | HDMI 显示图像像素点数据位[22]     | H15  |
| HD_TX_D23   | HDMI 显示图像像素点数据位[23]     | H20  |
| HDMI_TX_SCL | MS7210 控制通道 IIC 的时钟信号   | M21  |
| HDMI_TX_SDA | MS7210 控制通道 IIC 的数据信号   | L21  |
| HD_TX_SC_MC | MS7210 音频通道 I2S 的时钟信号   | N19  |
| HD_TX_I2S1  | MS7210 音频通道 I2S 的数据通道 1 | N22  |
| HD_TX_I2S0  | MS7210 音频通道 I2S 的数据通道 0 | M20  |
| HD_TX_WS    | MS7210 音频通道 I2S 的位时钟    | N18  |
| HD_TX_RSTN  | MS7210 硬件复位信号, 低电平有效    | AB22 |
| HD_TX_INT   | MS7210 输出中断             | N20  |

### 3.4 按键/指示灯/存储接口

#### 3.4.1 按键

MES2L100HP 扩展底板提供了 8 个用户按键（K1~8）；1 个重加载按键，重加载按键通过一个延时复位芯片连接到 PG2L100H 的 RSTN 管脚；8 个用户按键都连接到 PG2L100H 的普通 IO 上，按键低电平有效，但按键按下时，IO 上的输入电压为低；当没有按下按键时，IO 上的输入电压为高电平；

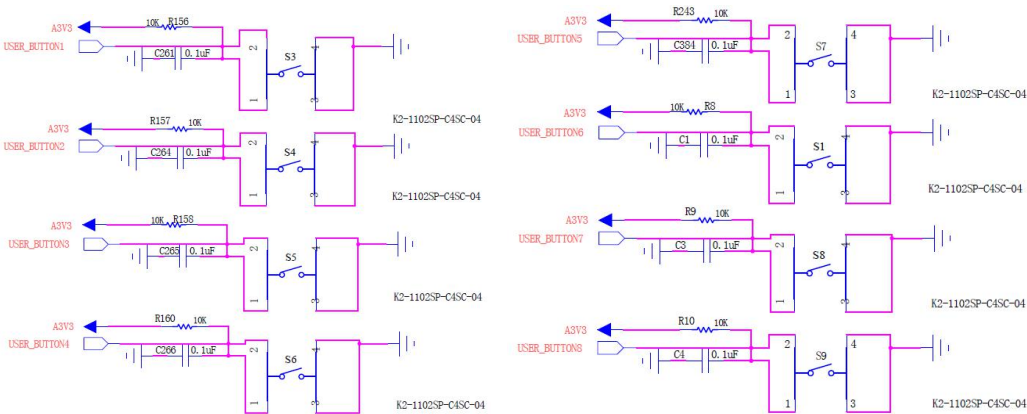


图 3-8 用户按键电路图

具体管脚分配如下；

表 3-8 按键管脚分配

| 信号   | PG2L100H Pin |
|------|--------------|
| REST | 重新加载固件按键     |
| KEY1 | Y19          |
| KEY2 | W20          |
| KEY3 | T20          |
| KEY4 | V22          |
| KEY5 | P20          |
| KEY6 | N15          |
| KEY7 | J19          |

|      |     |
|------|-----|
| KEY8 | H19 |
|------|-----|

### 3.4.2 Led 灯

MES2L100HP 开发板有 11 个翠绿 LED 灯，其中 1 个是电源指示灯(POWER)；  
2 个是 FPGA 的运行的状态指示灯：INIT 和 DONE； 8 个是用户 LED 灯 (LED1~  
8)。连接在 PG2L100H BANK L3 的 IO 上，FPGA 输出高电平时对应的 LED 灯亮  
灯，板上 LED 灯功能电路图：

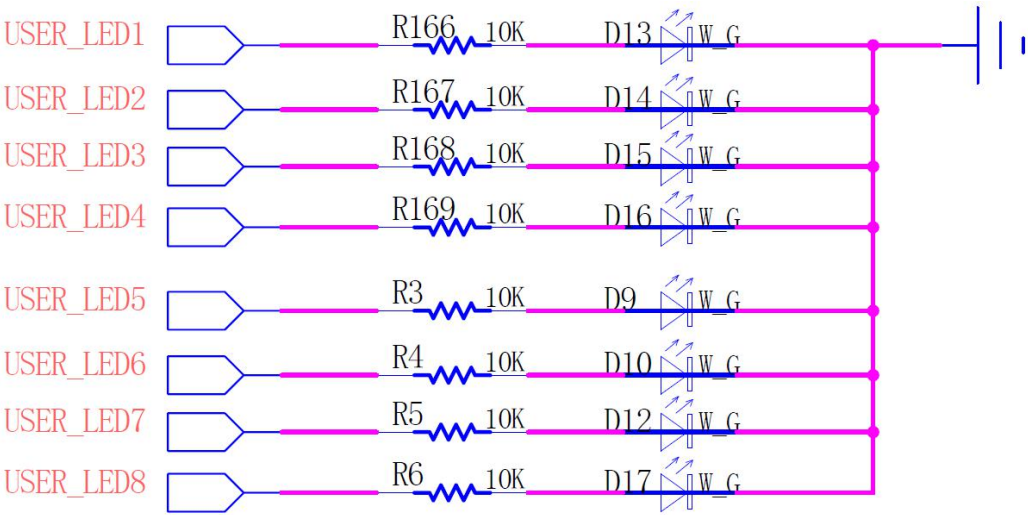


图 3-9 LED 灯电路原理图

具体管脚分配请看下表：

表 3-9 LED 灯

| 信号   | PG2L100H Pin |
|------|--------------|
| LED1 | F13          |
| LED2 | F14          |
| LED3 | E13          |
| LED4 | E14          |
| LED5 | E16          |
| LED6 | D16          |
| LED7 | F16          |

|      |     |
|------|-----|
| LED8 | E17 |
|------|-----|

### 3.4.3 EEPROM

MES2L100HP 开发板板载了一片 EEPROM ， 型号为 24LC02, 容量为：2Kbit（1\*256\*8bit），由 1 个 256byte 的 block 组成,通过 IIC 总线进行通信。板载 EEPROM 就是为了学习 IIC 总线的通信方式。EEPROM 的 I2C 信号连接的 FPGA 的 IO 口上。下图为 EEPROM 的设计示意图；

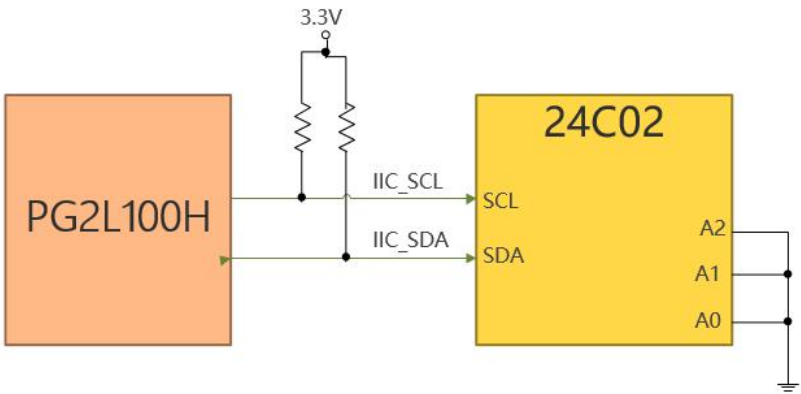


图 3-10 EEPROM 设计示意图

EEPROM 管脚分配如下：

表 3-10 EEPROM 引脚

| 信号      | 描述        | PG2L100H |
|---------|-----------|----------|
| IIC_SCL | EEPROM 时钟 | C19      |
| IIC_SDA | EEPROM 数据 | A13      |

### 3.4.4 SD CARD

SD 卡是现在非常常用的存储设备，我们扩展出来的 SD 卡，支持 SPI 模式和 SD 模式，使用的 SD 卡为 MicroSD 卡。原理图如下图所示。SD 卡是 3.3V

接口。

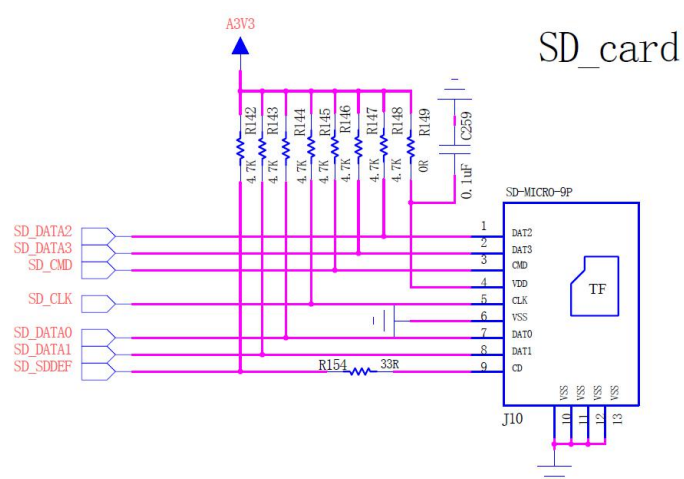


图 3-11 SDCARD 电路

### 表 3-11 SDCARD 引脚示例

| 信号        | 描述    | PG2L100H Pin | SD Card Pin |
|-----------|-------|--------------|-------------|
| CLK       | 时钟    | C14          | 5           |
| CMD       | 命令串行线 | C15          | 3           |
| DATA[0:3] | 数据线   | D0: B13      | 7           |
|           |       | D1: C13      | 8           |
|           |       | D2: D15      | 1           |
|           |       | D3: D14      | 2           |
| DETECT    | 卡识别   | D17          | 9           |

### 3.5 扩展口

### 3.5.1 40pin 扩展口

扩展板预留 1 个 2.54mm 标准间距的 40 针的扩展口 J16，用于连接各个模块或者用户自己设计的外面电路，扩展口有 40 个信号，其中，5V 电源 1 路，3.3V 电源 2 路，地 3 路，IO 口 34 路。**切勿 IO 直接跟 5V 设备直接连接，以免烧坏 FPGA。**  
**如果要接 5V 设备，需要接电平转换芯片。**

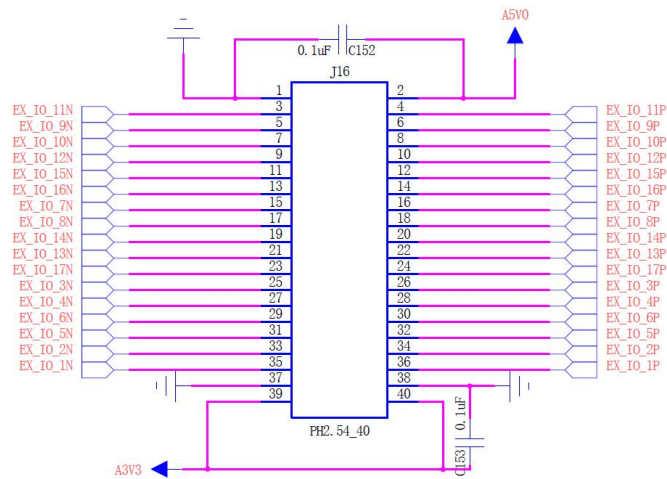


图 3-12 40pin 扩展 IO 原理图

表 3-12 40pin 扩展 IO

| 引脚<br>编号 | 网络名称      | PG2L100H<br>管脚 | 引脚<br>编号 | 网络名称      | PG2L100H<br>管脚 |
|----------|-----------|----------------|----------|-----------|----------------|
| 1        | GND       | \              | 2        | 5V0       | \              |
| 3        | EX_IO_11N | AB17           | 4        | EX_IO_11P | AB16           |
| 5        | EX_IO_9N  | AB15           | 6        | EX_IO_9P  | AA15           |
| 7        | EX_IO_10N | W16            | 8        | EX_IO_10P | W15            |
| 9        | EX_IO_12N | Y14            | 10       | EX_IO_12P | W14            |
| 11       | EX_IO_15N | U16            | 12       | EX_IO_15P | T16            |
| 13       | EX_IO_16N | AA14           | 14       | EX_IO_16P | Y13            |
| 15       | EX_IO_7N  | AA16           | 16       | EX_IO_7P  | Y16            |
| 17       | EX_IO_8N  | V15            | 18       | EX_IO_8P  | U15            |
| 19       | EX_IO_14N | T15            | 20       | EX_IO_14P | T14            |
| 21       | EX_IO_13N | AB13           | 22       | EX_IO_13P | AA13           |
| 23       | EX_IO_17N | V14            | 24       | EX_IO_17P | V13            |
| 25       | EX_IO_3N  | W10            | 26       | EX_IO_3P  | V10            |
| 27       | EX_IO_4N  | AB10           | 28       | EX_IO_4P  | AA9            |
| 29       | EX_IO_6N  | AA11           | 30       | EX_IO_6P  | AA10           |

|    |          |      |  |    |          |      |
|----|----------|------|--|----|----------|------|
| 31 | EX_IO_5N | Y12  |  | 32 | EX_IO_5P | Y11  |
| 33 | EX_IO_2N | W12  |  | 34 | EX_IO_2P | W11  |
| 35 | EX_IO_1N | AB12 |  | 36 | EX_IO_1P | AB11 |
| 37 | GND      | \    |  | 38 | GND      | \    |
| 39 | A3V3     | \    |  | 40 | A3V3     | \    |

3.5.2 PMOD 扩展口

MES2L100HP 扩展底板预留了一个 12 针 2.54mm 间距的 PMOD 接口(J11)用于连接 FPGA 的 IO 和外部模块或电路。因为 BANK R5 的 IO 是 1.5V 标准的，所以连接的外部设备和电路的信号也需要 1.5V 电平标准。PMOD 连接器的原理图如下图所示

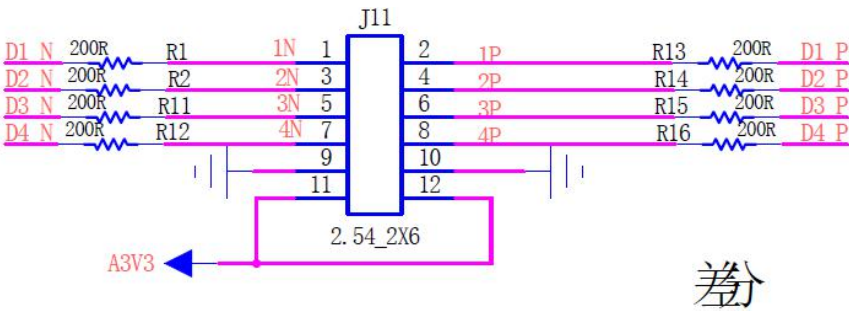


图 3-13 PMOD 座连接原理图

表 3-13 PMOD 管脚分配

| 引脚<br>编号 | 网络名称 | PG2L100H<br>管脚 | 引脚<br>编号 | 网络名称 | PG2L100H<br>管脚 |
|----------|------|----------------|----------|------|----------------|
| 1        | D1_N | V8             | 2        | D1_P | V9             |
| 3        | D2_N | Y9             | 4        | D2_P | W9             |
| 5        | D3_N | R2             | 6        | D3_P | R3             |
| 7        | D4_N | T4             | 8        | D4_P | R4             |
| 9        | GND  | \              | 10       | GND  | \              |
| 11       | A3V3 | \              | 12       | A3V3 | \              |

## 3.6 供电电源

开发板的电源输入电压为+12V, 请使用开发板自带的电源, 不要用其他规格的电源, 以免损坏开发板。扩展板上通过 1 路 DC/DC 电源芯片 SGM61163 把+12V 电压转化成+5V 电源; 另使用一路 DC/DC 电源芯片 MT2492 把+5V 转换出+3.3V 供外设接口使用; 扩展板上的+5V 电源通过板间连接器给核心板供电, 扩展板上电源设计如下图所示:

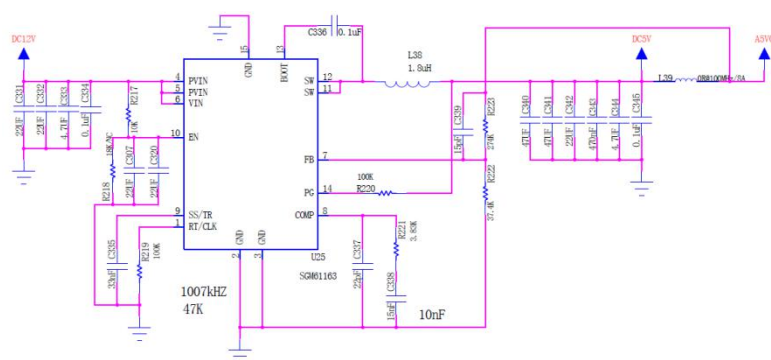


图 3-14 12V 转 5V 原理图

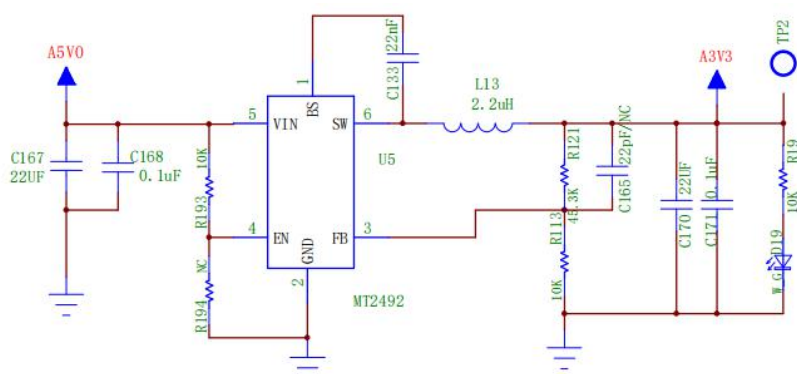


图 3-15 5V 转 3.3V 原理图

3.7 尺寸结构图

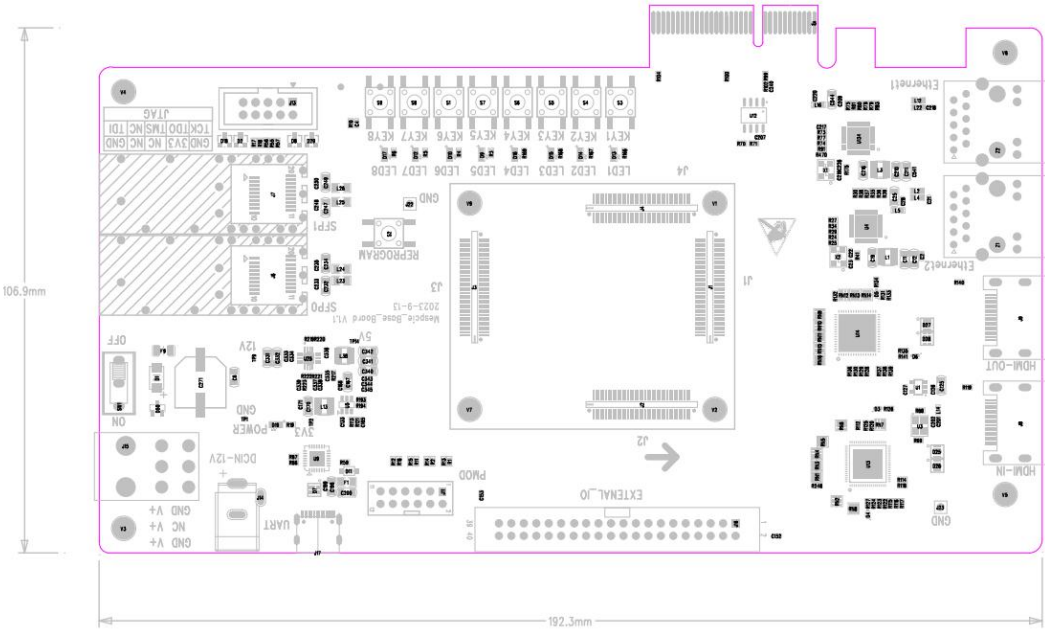


图 3-16 扩展底板尺寸结构图