



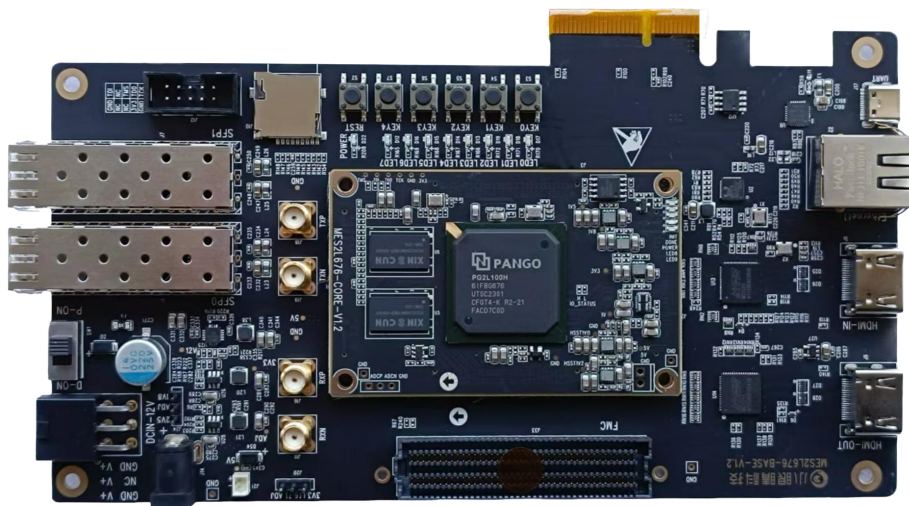
盘古 100Pro+开发板

FPGA 硬件实验指导手册 V1.2

小眼睛科技 盘古 676 系列

盘古 100Pro+ (MES2L676-100HP) 开发板实验教程

紫光同创 Logos2 系列 PG2L100H 开发平台



深圳市小眼睛科技有限公司

版权所有 侵权必究

文档版本修订记录

版本号	发布日期	修订记录
V1.2	2025/1/7	初始版本

公司名称: 深圳市小眼睛科技有限公司

官方淘宝店铺: 小眼睛半导体

淘宝店铺链接: <https://shop372525434.taobao.com>

地址: 深圳市宝安区西乡街道 F518 时尚创意园

官方网址: www.meyesemi.com

* 请关注小眼睛科技官方微信公众号“小眼睛 FPGA”

我们将不定期更新 FPGA 学习资料和行业资讯

* 请关注抖音/视频号“小眼睛 FPGA” /B 站 UP 主“小眼睛半导体”

海量 FPGA 教学视频免费学习

* 加入 FPGA 开发者技术交流 QQ 群 (442106123)

与 4000+FPGA 开发者实时沟通

* 小眼睛 FPGA 已入驻电子发烧友 FPGA 开发者技术社区

FPGA 相关帖子资源丰富, 更有 600W+开发者及小眼睛 FPGA 技术团队

为大家解决技术难题, 让您售后无忧

网址: <https://bbs.elecfans.com/xfpga>



* 微信公众号



* 抖音号



* 视频号

目录

1. 前言	- 1 -
1.1. 教程开发背景和目的	- 1 -
1.2. 教程适用人群	- 1 -
1.3. 技术团队简介	- 2 -
1.4. 教程配套开发平台	- 4 -
1.4.1. Logos 系列	- 4 -
1.4.2. Logos2 系列	- 4 -
1.4.3. Compa 系列	- 5 -
1.4.4. 泰坦系列	- 6 -
1.5. 教程内容框架	- 6 -
1.6. 为什么选择国产 FPGA	- 6 -
1.7. 盘古及泰坦系列开发平台	- 7 -
1.8. 为什么选择小眼睛科技	- 8 -
2. 第一篇 硬件篇	- 9 -
2.1. 盘古 100Pro+开发板硬件指导	- 10 -
2.1.1. 开发系统介绍	- 10 -
2.1.2. 核心板	- 15 -
2.1.3. 扩展底板	- 32 -

1. 前言

1.1. 教程开发背景和目的

亲爱的朋友,感谢您选择小眼睛科技 FPGA 开发套件。FPGA,即现场可编程门阵列,作为可重构电路芯片,已经成为行业“万能芯片”,在通信系统、数字信息处理、视频图像处理、高速接口设计等方面都有不俗的表现。近几年,随着国家战略支持和产业发展,国产 FPGA 迎来迅猛发展。国产 FPGA 由于拥有高性价比、完整自主可控知识产权产业链,越来越成为行业热门选择。同时,在 FPGA 蓬勃发展的行业态势下,FPGA 行业人才稀缺,缺口距大。因此,熟练掌握 FPGA 开发平台可以帮助我们做好提前布局,为进入未来行业发展轨道打下坚实的基础。

1.2. 教程适用人群

本教程从入门到提升,涵盖紫光同创 FPGA 开发全流程,适合有志于在 FPGA 领域一展身手的行业工程师和未来工程师们。

- ✓ **工程师** 对于希望寻找国产 FPGA 器件,快速实现国产化器件转化的工程师而言,本教程可以帮助您快速掌握国产开发平台,减少转化时间,助您项目高效完美交付。
- ✓ **初入职场** 有意在 FPGA 行业发展的工程师们,本教程将协助您快速入行,顺利求职。
- ✓ **转行求职** 有意转行 FPGA 行业发展的工程师们,本教程将从协助您快速迈出新步伐。
- ✓ **高校老师** 对于希望快速掌握国产 FPGA 开发平台,快速实现 FPGA 教学的老师而言,本教程将助您系统了解、熟练使用和操作国产 FPGA 开发平台。
- ✓ **高校学生** 本教程将帮您掌握国产 FPGA 开发全流程,拓展知识技能,提升专业技能和实战经验,为参加相关 FPGA 竞赛和求职做好能量储备。
- ✓ **FPGA 发烧友** 热爱 FPGA 的发烧友,让我们共建国产 FPGA 行业生态。

1.3. 技术团队简介

本教程由小眼睛科技团队核心技术骨干倾力打造, 汇聚 10 年+行业技术和经验积累, 诚心之作, 希望对您的学习有所帮助。

深圳市小眼睛科技有限公司 (简称: 小眼睛科技) 总部位于深圳, 是一家以 FPGA、嵌入式系统为核心的设计公司。团队创始人及创始骨干在 FPGA 及嵌入式领域拥有超过 10 年深厚的行业经验和积累, 擅长各类基于 FPGA 及 MCU 的工业控制、高速数据采集、音视频传输、无线专网通讯等应用。

小眼睛科技下设行业解决方案部和教仪事业部两大板块, 分别专注于行业技术方案定制和教仪产品的研发与推广。

行业解决方案部聚焦 FPGA 及 MCU 行业解决方案, 为行业客户带来高品质解决方案, 经过多年深耕钻研和技术积累, 小眼睛科技发布的无线专网通信卡、PCIE 采集卡、光纤采集模块、以及多款 FPGA (FPGA+MCU) SOM 等行业解决方案已经在合作伙伴中规模量产, 方案覆盖智能航海、音视频处理、智慧医疗、工业控制、网络通信等多个不同领域。

教仪事业部聚力高校生态建设, 为合作高校带来高品质教学改革、实验室建设等解决方案, 教仪事业部发布的多款基于 MCU 及 FPGA 的开发板、实验箱、教学仪器等已经被国内多所知名院校采用。作为紫光同创生态合作伙伴和方案商, 小眼睛科技基于紫光同创 FPGA 开发平台发布近 20 套开发板、核心板及解决方案, 共同编写发布《国产 FPGA 权威开发指南》教材。与此同时, 小眼睛科技基于兆易创新、瑞芯微电子、龙芯中科等芯片的教学解决方案陆续在多所高校推广落地。

小眼睛科技助力高校国产 FPGA 生态建设, 与清华大学、北京理工大学、西安电子科技大学、华南理工大学、中山大学、南方科技大学、大连理工大学、南京信息工程大学、空军工程大学等国内多所电子类头部高校达成深度合作, 主导 FPGA 课程改革、高校师资培训、实验室建设, 并通过产学研合作协同育人及横向合作, 为高校提供 FPGA 技术支持与服务。同时, 小眼睛科技深度参与全国大学生集成电

路创新创业大赛、全国大学生 FPGA 创新设计竞赛 (即: 全国大学生嵌入式大赛) 的技术支持与指导, 参与赛事命题、技术答疑、赛前培训&辅导、专家评审, 服务高校超过 400+所, 服务高校老师&学生群体 6000+人次。同时, 作为集成电路创新创业大赛六大技术方向之一: FPGA 方向唯一技术支持单位, 助力国产 FPGA 教学改革产学研深度融合新进程!

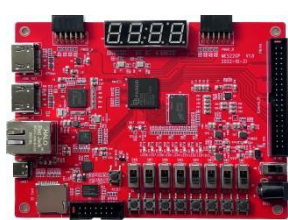
未来, 小眼睛科技将继续聚焦客户需求, 加大产品研发和技术研究投入, 快速响应, 高效服务, 为客户提供更多高品质解决方案和服务。

1.4. 教程配套开发平台

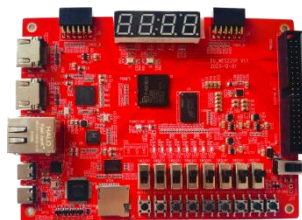
作为国产 FPGA 专业厂商紫光同创金牌方案提供商, 小眼睛科技深耕 FPGA 产品和解决方案, 基于紫光同创器件, 推出 100%国产化高性能盘古系列和泰坦系列 FPGA 方案和开发套件, 为客户提供专业且高效的 FPGA 产品和服务支持。小眼睛科技全新打造盘古和泰坦系列产品, 满足全方位的开发需求, 涵盖 Logos/Logos2/Titan2/Compa 全系列。

1.4.1.Logos 系列

- 盘古 22K (主控芯片: PGL22G-6CMBG32)
- 盘古 EU22K(合并下载器) (主控芯片: PGL22G-6CMBG32)
- 盘古 50K (主控芯片: PGL50H-6IFBG484)



*盘古 22K



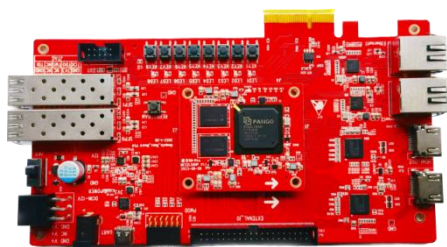
*盘古 EU22K



*盘古 50K

1.4.2.Logos2 系列

- 盘古 50Pro (主控芯片: PG2L50H-6IFBG484)
- 盘古 100Pro (主控芯片: PG2L100H-6IFBG484)
- 盘古 100Pro+ (主控芯片: PG2L100H-6IFBG676)
- 盘古 200Pro (主控芯片: PG2L200H-6IFBG484)
- 盘古 200Pro+ (主控芯片: PG2L200H-6IFBB676)
- 盘古 PGX-Nano (主控芯片: PG2L50H-6IFBG324)



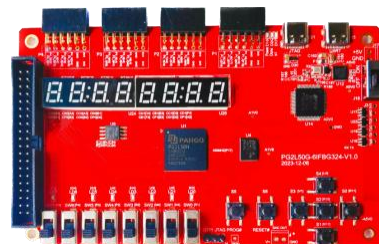
*盘古 50Pro (MES2L50HP)



*盘古 100Pro (MES2L484-100HP)



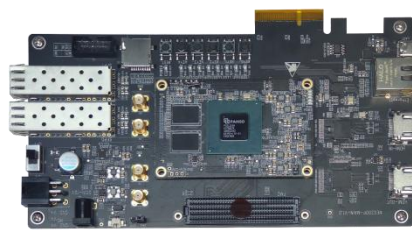
*盘古 200Pro (MES2L484-200HP)



*盘古 PGX-Nano



*盘古 100Pro+ (MES2L676-100HP)



*盘古 200Pro+ (MES2L676-100HP)

1.4.3.Compa 系列

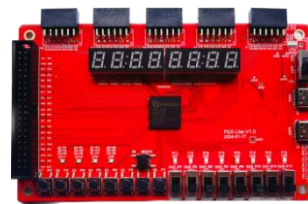
- 盘古 1K (PGC1K)
- 盘古 2K (PGC2K)
- 盘古 PGX-Mnini 4K (PGC4KD-6ILPG144)
- 盘古 PGX-Lite 7K (PGC7KD-6IMBG256)



*盘古 1K/2K



*盘古 PGX-Mini 4K



*盘古 PGX-Lite 7K

1.4.4. 泰坦系列

- 泰坦 70T (主控芯片: PG2T70H-6IFBB484)
- 泰坦 390T (主控芯片: PG2T390H-6IFFBG900)



* 泰坦 70H



* 泰坦 390H

1.5. 教程内容框架

教程分为两个部分: 基础部分: 帮助学员快速上手 PDS 软件, 了解基本的开发方式; 进阶部分: 完成综合性更高的实验, 例如图像处理, 光纤通信、PCIe 通信等。

1.6. 为什么选择国产 FPGA

- ✓ **高性价比:** 相比同级别国外大厂, 具有明显价格优势, 高性价比
- ✓ **快速响应:** 技术支持到位, 及时解决开发过程中的问题
- ✓ **自主可控:** 国产 FPGA 拥有完整的具有自主知识产权的产业链, 且目前正在逐步完善, 交期可控, 采购方便, 自主可控
- ✓ **实力保障:** 紫光同创实力大厂, 产品路线清晰, 产品丰富

1.7. 盘古及泰坦系列开发平台

盘古、泰坦系列 FPGA 开发板型号命名规则

小眼睛科技开发板命名规则, 以盘古 100Pro+开发板为例

产品名称: 盘古 100Pro+开发板 (注: Logos2 系列产品均为 Pro)

芯片型号: PG2L100H-6IFBG676

产品型号: MES2L676-100HP

完整开发板型号

MES - 2L 484 - 100 H P - Vx
① ② ③ ④ ⑤ ⑥ ⑦

品牌名称: MES 为小眼睛科技 (Meyesemi) 缩写

器件系列: 2L: Logos2 系列, 2T: Titan2 系列, 7V: VIRTEX-7, 7Z: zynq-7

器件封装: F: 484pin, S: 676pin, T: 256pin, O: 144pin, H: 100pin

器件逻辑: 100: 100K 逻辑, 390:390K 逻辑

器件版本: H 表示 pango 带 serdes, T: xilinx 带 GTX/GTZ/GTH, G 表示不带 serdes

器件厂商: P: Pango, X: xilinx, G: gowin, L: lattice

板卡版本: 版本编号

1.8. 为什么选择小眼睛科技

- ✓ **原厂支持:** 作为紫光同创方案商&生态合作伙伴, 小眼睛科技可以快速帮助学员获取原厂配套开源技术资料及开发平台操作指导。小眼睛科技基于国产 FPGA 解决方案涵盖 Logos\Logos2\Titan2\Compa 全系列, 方便大家快速掌握国产 FPGA 开发平台, 在引入国产 FPGA 器件时实现快速转化及量产。
- ✓ **实力保障:** 小眼睛科技团队创始成员拥有超过 10 年 FPGA 行业技术积累和沉淀, 擅长各类基于 FPGA 的工业应用、无线通信应用、CT 数据采集、图像处理系统等, 实力保障。
- ✓ **快速响应:** 小眼睛科技拥有专业的售后技术支持和服务团队, 快速响应需求, 让您售后无忧。
- ✓ **资料丰富:** 小眼睛科技配套国产 FPGA 开发板拥有丰富的学习资料、指导手册、例程等, 同时, 小眼睛科技官方抖音、B 站、视频号等账号有海量 FPGA 相关视频教程和学习资料。

最后, 本教程汇聚小眼睛科技核心骨干多年 FPGA 行业经验和积累, 希望为您的 FPGA 学习和进阶开发之路提供帮助。习得一门技能并非一日之功, 学习 FPGA 之路也并非坦途, 但滴水穿石, 前进即可抵达, 在 FPGA 学习与开发的旅程中, 小眼睛科技将竭诚服务, 陪伴您在 FPGA 行业学习探索。

2. 第一篇 硬件篇

实践出真知, 要想学好 FPGA, 实验平台必不可少! 本篇我们将系统介绍 FPGA 开发平台: 盘古 100Pro+ (MES2L676-100HP) 开发板。通过该篇的介绍, 您将全面了解盘古及泰坦系列开发板的特点, 了解本教程主要开发平台 MES2L676-100HP 的功能、操作和使用注意事项。

2.1. 盘古 100Pro+开发板硬件指导

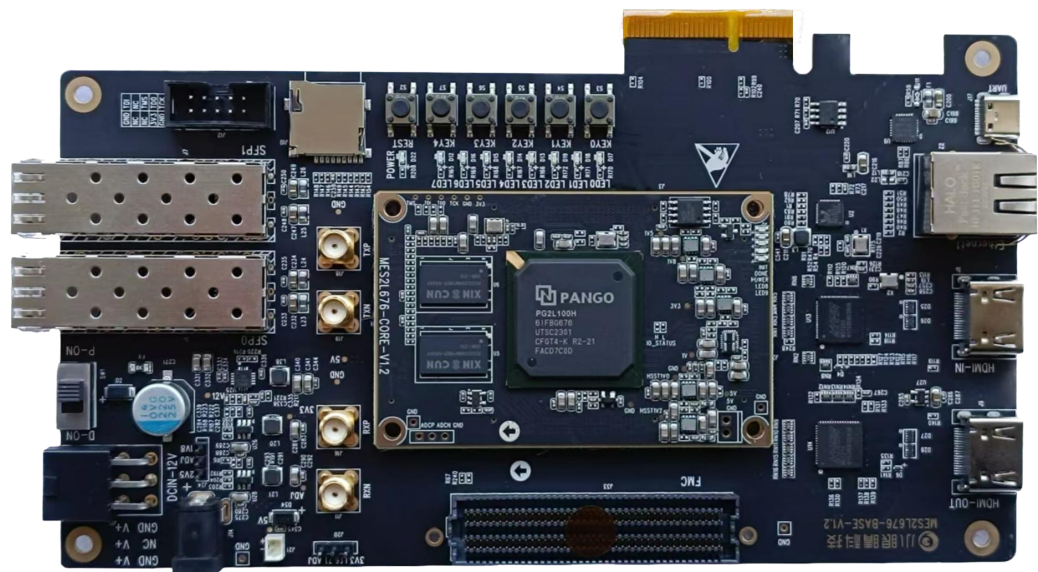
2.1.1. 开发系统介绍

2.1.1.1. 开发系统概述

MES2L676-100HP 开发板采用紫光创 logos2 系列 FPGA, 型号: PG2L100H-6IFBG676。开发板采用核心板+扩展板结构, 核心板与扩展板之间使用高速板对板连接器进行连接, 核心板侧连接器型号: LB3524-G120P-WOR, 扩展板侧连接器型号: LB3524-G120S-WOR。

核心板主要由 FPGA+2 颗 DDR3+2 颗 FLASH+电源及复位电路组成, 承担了 FPGA 最小系统运行及高速数据处理及存储功能。FPGA 选用紫光同创 28nm 工艺 FPGA(logos2:PG2L100H-6IFBG676); PG2L100H 与 DDR3 在数据交互时钟频率最高可达 1066Mbps, 两颗 DDR3 数据位宽共 32bit, 因此数据带宽可达 (1066Mbps*32), 充分满足高速多路数据存储的需求; 另外 PG2L100H FPGA 带有 8 路 HSST 高速收发器, 每路速度高达 6.6Gbps, 非常适用于光纤通信与 PCIe 通信; 核心板上的两颗 FLASH 主要用于存储 FPGA 配置文件。

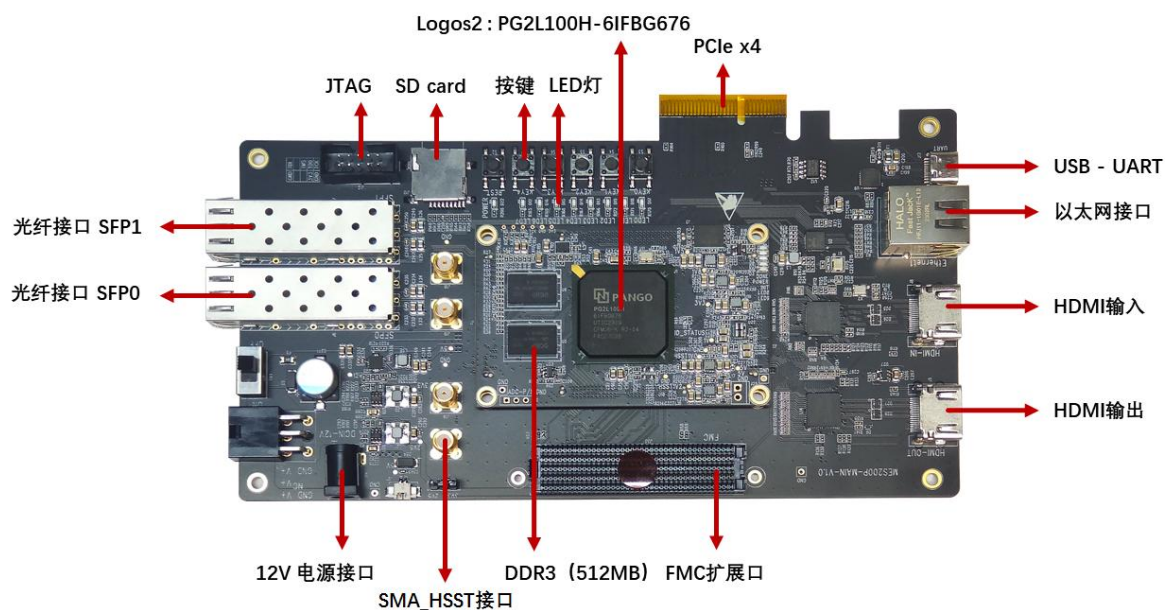
底板为核心板扩展了丰富的外围接口, 其中包括 HDMI 输出接口、HDMI 输入接口、网口、串口, SD 卡接口、光纤模块接口, SMA_HSST 接口、PCIe 接口, 并配置了按键、LED 灯、EEPROM 器件。



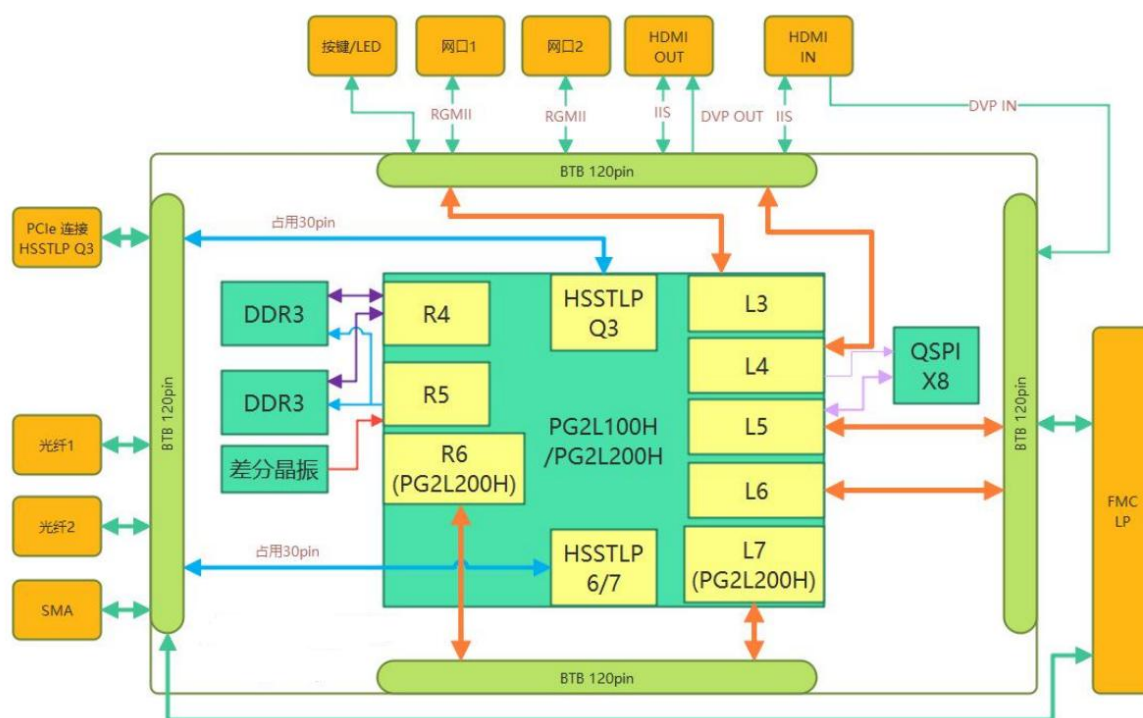
2.1.1.2. 开发系统简介

2.1.1.2.1. 开发系统外设资源

HDMI 输出接口	*1	HDMI 输入接口	*1
光纤接口	*2	PCIe 接口	*1
SD 卡接口	*1	10/100/1000M 以太网接口	*1
SMA_HSST 接口	*1	Jtag 调试接口	*1
用户按键	*5	LED 灯	*8
USB 转 UART	*1	FMC 扩展口	*1



2.1.1.2.2. 开发系统功能框图



MES2L676-100HP 开发系统功能框图

MES2L676-100HP 开发平台所能实现的功能描述如下:**➤ Logos2 FPGA 核心板**

由 PG2L100H-6IFBG676+2 片 512MB DDR3 + 2 片 128Mb QSPI FLASH 组成。

➤ 10/100M/1000M 以太网 RJ-45 接口 *1

网口 PHY 芯片采用 RTL8211F, RTL8211F 支持 10/100M/1000Mbps 网络传输数据率; 支持全双工工作模式及数据率自适应。

➤ PCIe X4 接口 * 1

支持 PCI Express 2.0 标准, 提供 PCIe X4 高速数据传输接口, 单通道通信速率可高达 5 GT/s。

➤ SFP 高速光纤接口 * 2

Logos2 FPGA 的 HSST 收发器的 2 路高速收发器连接到 2 个光模块的发送和接收, 实现 2 路高速的光纤通信接口。每路的光纤数据通信接收和发送的速度高达 6.6Gb/s。

➤ SMA_HSST 接口 * 1

Logos2 FPGA 的 HSST 收发器的 1 路高速收发器连接到 SMA 接口, MES2L676-100HP-V1.2 开发板的 SMA 接口数据通信接收和发送的速度高达 3.125Gb/s。

➤ HDMI 输出 * 1

选用了国产宏晶微公司的 MS7210 HDMI 发送芯片, 兼容 HDMI1.4b 及 HDMI 1.4b 下标准视频的 3D 传输格式。支持的最高分辨率高达 4K@30Hz, 最高采样率达到 300MHz; 支持 HBR 音频。

➤ HDMI 输入 * 1

选用了国产宏晶微公司的 MS7200 HDMI 接收芯片, 兼容 HDMI1.4b 及 HDMI 1.4b 下标准视频的 3D 传输格式。支持的最高分辨率高达 4K@30Hz, 最高采样率达到 300MHz; 支持 HBR 音频。

➤ USB 转串口 * 1

用于与电脑进行串口通信, 方便用户进行调试。串口芯片采用 Silicon Labs 的 USB-UART 芯片:

CP2102 , USB 接口采用 USB Type C 接口。

➤ **Micro SD 卡座**

支持 SDIO 模式和 SPI 模式。

➤ **EEPROM**

板载一片 IIC 接口的 EEPROM: 24C02;

➤ **JTAG 接口**

10 针 2.54mm 间距的双排排针口, 用于 FPGA 程序的下载和调试。

➤ **LED 灯**

8 个用户发光二极管;

➤ **按键**

5 个用户按键, 1 个硬件复位按键;

➤ **FMC 扩展口**

FMC 扩展口共扩展 34 对差分 IO, 1 路 I2C 总线信号, 一路 HSSTLP 高速串行数据收发信号以及一路 HSSTLP 的参考时钟信号。

2.1.2. 核心板

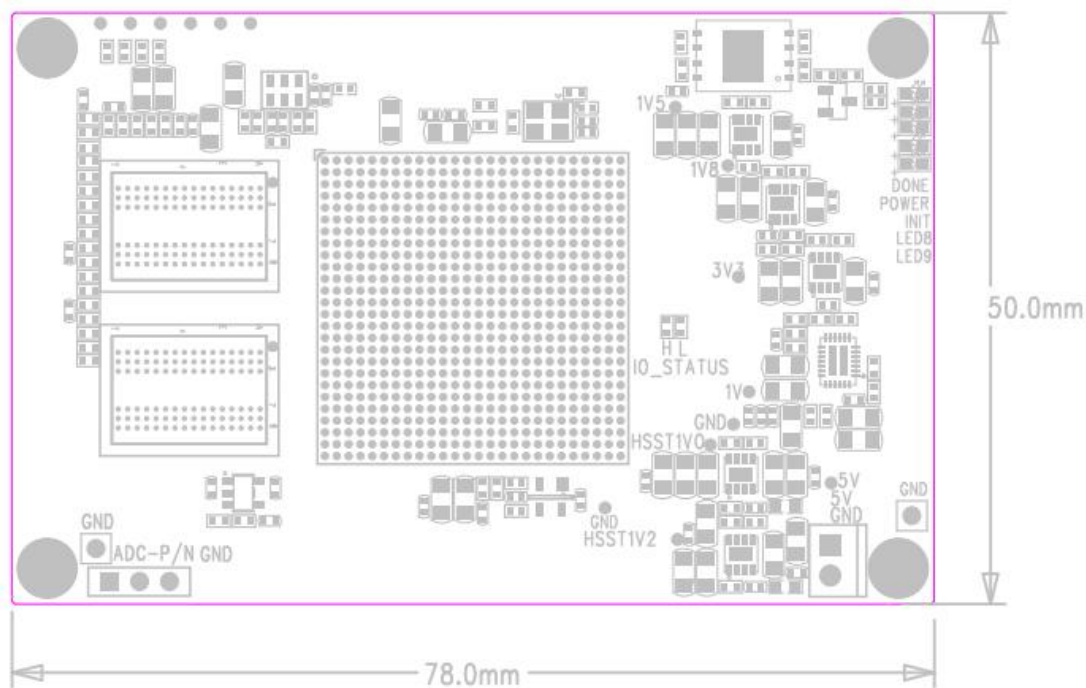
2.1.2.1. 核心板概述

MES2L676-100HP 核心板是“小眼睛科技”基于多年 FPGA 开发经验, 采用紫光同创 logos2 系列 PG2L100H-6IFBG676 作为主控芯片而开发的全新中国高性能 FPGA 核心板, 具有高数据带宽、高存储容量的特点, 适用于视频图像处理、高速数据采集、工业控制等多元应用场景。

MES2L676-100HP 核心板使用了 2 片 DDR3 芯片, DDR3 总容量 8Gbit, 组合数据总线宽度为 32bit, 最高速率支持 1066Mbps, 满足用户高带宽的数据缓存需求。

MES2L676-100HP 核心板扩展出 8 对 HSST TX/RX 信号, 用于光纤通信、PCIe 通信、FMC 接口通信, 且硬件上 FPGA 芯片到接口之间走线做了等长和差分处理, 非常适合二次开发。

MES2L676-100HP 核心板尺寸结构图如下图所示:



MES2L676-100HP 核心板尺寸结构图

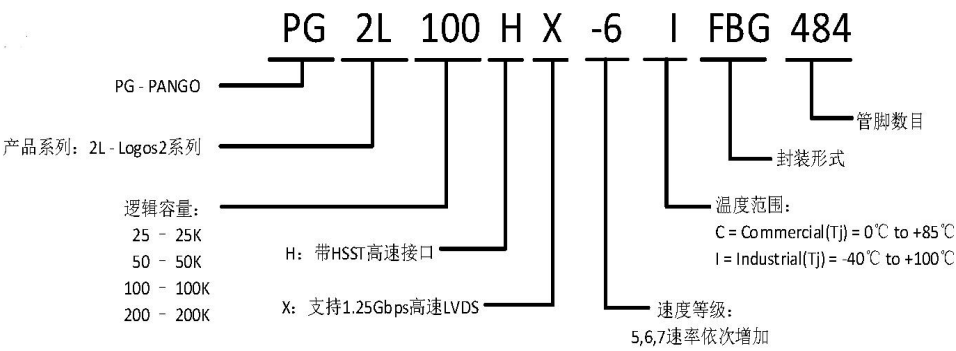
2.1.2.2. 系统描述

2.1.2.2.1. FPGA

FPGA 型号为 PG2L100H-6IFBG676, 属于紫光同创 logos2 系列产品, 速度等级为 6, 温度范围:

工业级 (-40~100℃), FBB 封装, 管脚数目 676。

紫光同创 Logos2 系列 FPGA 产品型号的编号内容及意义如下:

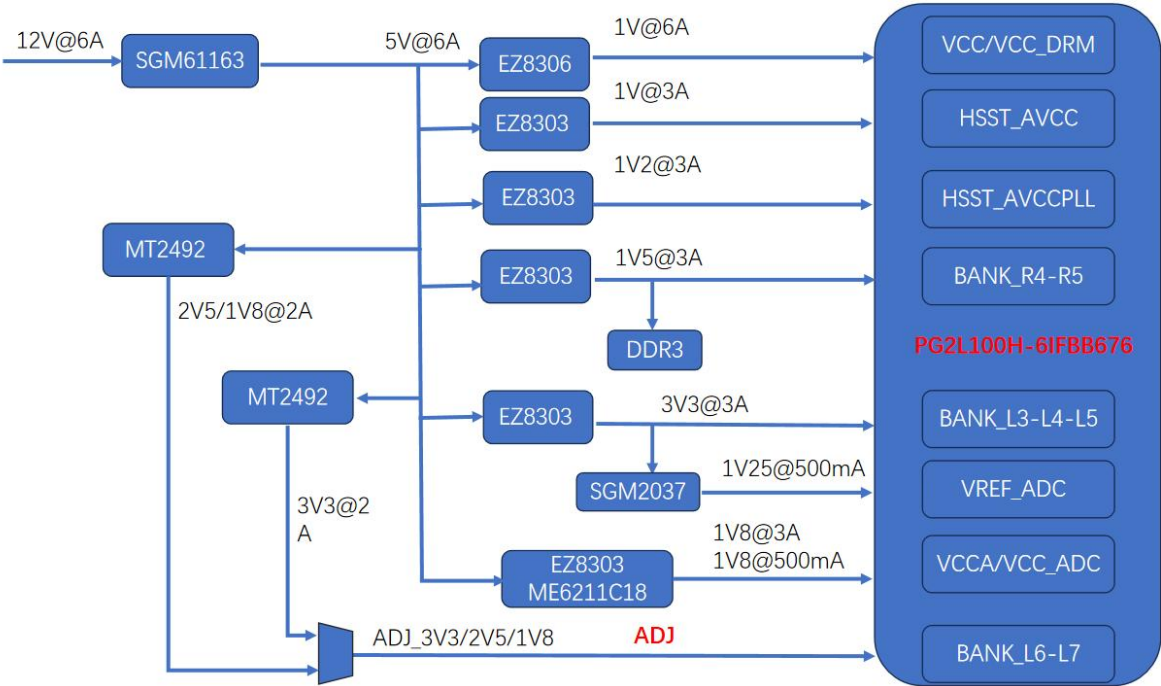


PG2L100H-6IFBG676 主要参数如下:

资源		参数
逻辑资源	触发器 (FF)	133200
	LUT6	66600
	等效 LUT4	99900
RAM 资源	分布式 RAM (Kbit)	1243.75
	块 RAM 数量 (36K/块)	155
	块 RAM (Kbit)	5580
时钟资源	GPLL	6
	PPLL	6
硬核资源	APM (25*18 乘法器)	740
	ADC	1
	AES	1
	HSST (6.6G)	8
	PCIE Gen2*4	1
IO 资源	用户 IO	300

2.1.2.2.2. 电源接口

MES2L676-100HP 核心板供电电压为 VCCIN, 输入电压为 5V, 需通过板对板连接器对应管脚供电, 连接底板时通过底板供电。且 BANK_L6 和 BANK_L7 电源也需通过板对板连接器对应管脚供电, 连接底板时通过底板供电。板上的电源设计示意图如下图所示:



板上的电源设计示意图

各电源的功能如下表所示:

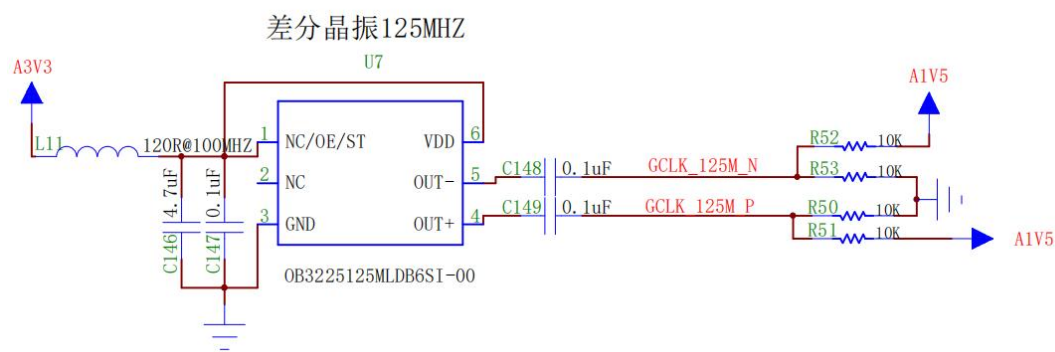
电源	功能用途
5.0V	板对板连接座输入电源
1.0V	PG2L100H 内核电压
HSST_1.2V	PG2L100H HSST 锁相环电源
HSST_1.0V	PG2L100H HSST 收发器内核电源
1.5V	DDR3 供电电压及 Bank R4、Bank R5 电源;
1.8V	辅助电源
3.3V	I/O 电压 (L3-L4-L5), 部分接口 (晶振, FLASH) 供电电压
ADJ_3V3/2V5/1V8	I/O 电压 (L6-L7)

2.1.2.2.3. 时钟

MES2L676-100HP 核心板上配有 1 个有源差分晶振,1 个单端 27MHz 晶振。差分晶振用于 DDR3 的参考时钟输入, 单端 27MHz 用于 FPGA 的系统时钟源。

2. 1. 2. 2. 3. 1. 125MHz 差分晶振

下图中 U7 为 125MHz 有源差分晶振, 此时钟为 DDR3 提供输入参考时钟, 晶振输出到 FPGA
DDR3 信号所在 BANK 上。



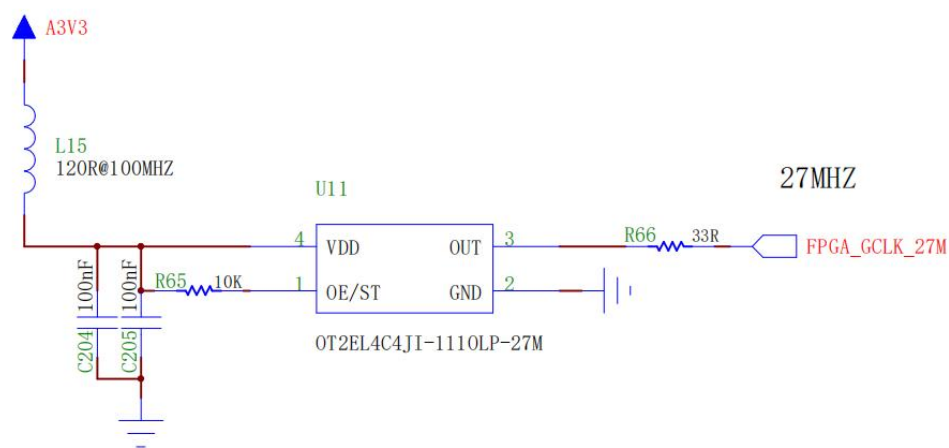
核心板 125MHz 有源差分晶振

具体的管脚约束如下表所示:

信号	描述	PG2L100H-676 管脚
GCLK_125M_P	DDR3 参考时钟	N3
GCLK_125M_N		N2

2. 1. 2. 2. 3. 2. 27MHz 单端时钟

下图 U11 为 27MHz 有源晶振电路, 此时中连接至 FPGA 的全局时钟管脚上, 可为 FPGA 提供输入参考时钟。



核心板 27MHz 有源晶振电路

具体的管脚约束如下表所示:

信号	描述	PG2L100H-676 管脚
FPGA_GCLK_27M	FPGA 输入全局时钟	D18

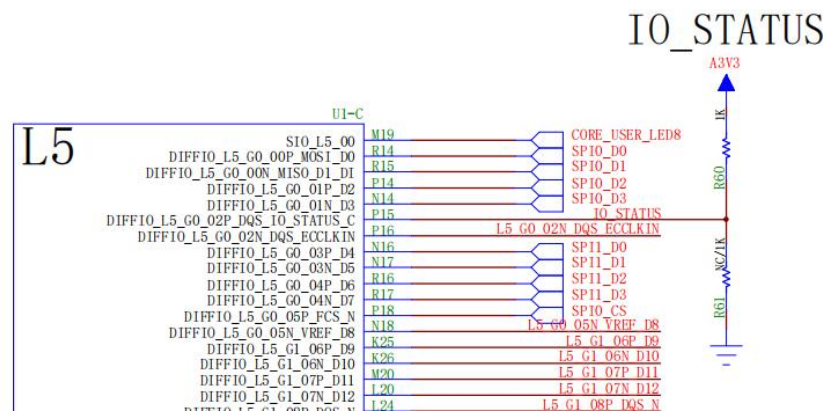
2.1.2.2.4. 上电 IO Status

在 Logos2 器件上有一个功能复用 IO,控制从上电完成后到进入用户模式之前中所有用户 IO 的弱上拉电阻是否使能。此管脚在配置之前或是配置过程中, 该引脚不允许悬空, 此 IO 在上电后的对应功能如下:

- (1) “0”, 使能所有用户 IO 内部上拉电阻。
- (2) “1”, 不使能所有用户 IO 内部上拉电阻。

MES2L676-100HP 核心板将此管脚的功能默认接 GND, 用户可根据需求, 自行焊接电阻选择上电后初始的 IO 状态;

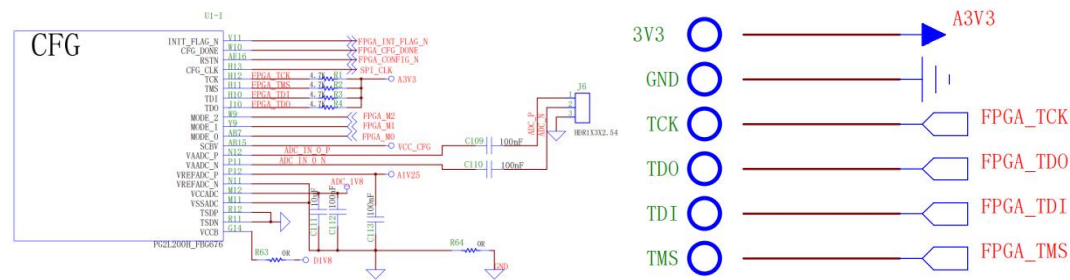
功能电路如下:

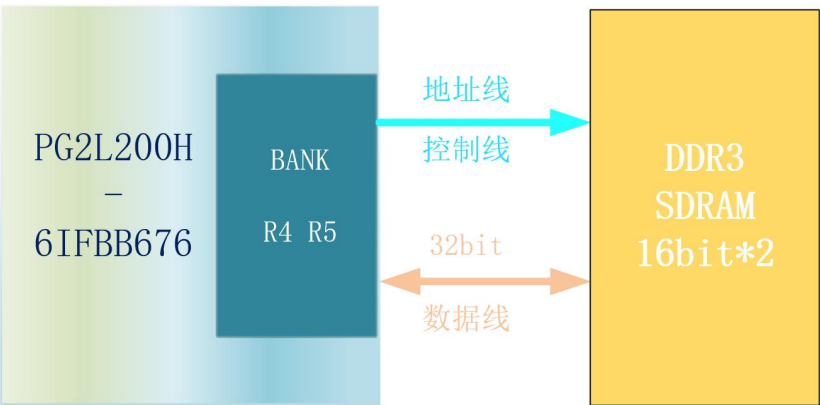


IO 配置电路

2.1.2.2.5. JTAG 接口

MES2L676-100HP 核心板正面左上角预留 JTAG 触点,可在没有底板的情况下调试核心板.FPGA 的 JTAG 信号通过高速板对板连接器与底板 JTAG 接口相连,用于下载 FPGA 位流文件或在线调试。





DDR3 DRAM 的硬件连接示意图

DDR3 布线采用 50 欧姆走线阻抗用于单端信号,DCI 电阻(VRP / VRN)以及差分时钟设置为 100 欧姆。每个 DDR3 芯片在 ZQ 上采用 240 欧姆电阻下拉。DDR-VDDQ 设置为 1.5V,以支持所选的 DDR3 器件。DDR-VTT 是与 DDR-VDDQ 始终电压跟随, 保持为 1/2 倍 DDR-VDDQ 的电压值。DDR-VREF 是一个独立的缓冲输出, 等于 1/2 倍 DDR-VDDQ 的电压。DDR-VREF 是隔离的, 可为 DDR 电平转换提供更清晰的参考。

具体的管脚分配如下表所示:

信号名称	PG2L100H-676 管脚	信号名称	PG2L100H-676 管脚
ddr3_addr[0]	J1	ddr3_addr[14]	N1
ddr3_addr[1]	L3	/	
ddr3_addr[2]	L2	ddr3_ba[0]	P4
ddr3_addr[3]	P3	ddr3_ba[1]	R2
ddr3_addr[4]	T2	ddr3_ba[2]	T5
ddr3_addr[5]	M1	ddr3_cas_n	T7
ddr3_addr[6]	U1	ddr3_ck_n	U5
ddr3_addr[7]	K1	ddr3_ck_p	U6

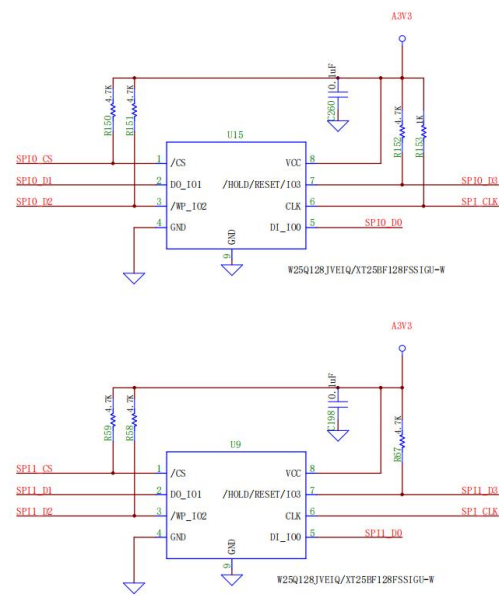
ddr3_addr[8]	U2	ddr3_cke	R1
ddr3_addr[9]	K2	ddr3_cs_n	N4
ddr3_addr[10]	T3	ddr3_odt	H2
ddr3_addr[11]	P1	ddr3_ras_n	P6
ddr3_addr[12]	T4	ddr3_reset_n	H1
ddr3_addr[13]	M2	ddr3_we_n	T8
ddr3_dm[0]	K6	ddr3_dm[2]	D5
ddr3_dm[1]	F7	ddr3_dm[3]	E2
ddr3_dq[0]	G5	ddr3_dq[16]	C4
ddr3_dq[1]	J6	ddr3_dq[17]	D4
ddr3_dq[2]	F5	ddr3_dq[18]	A4
ddr3_dq[3]	L8	ddr3_dq[19]	E3
ddr3_dq[4]	G4	ddr3_dq[20]	C3
ddr3_dq[5]	K7	ddr3_dq[21]	F3
ddr3_dq[6]	F4	ddr3_dq[22]	B4
ddr3_dq[7]	J5	ddr3_dq[23]	D3
ddr3_dq[8]	H6	ddr3_dq[24]	F2
ddr3_dq[9]	F8	ddr3_dq[25]	D1
ddr3_dq[10]	H8	ddr3_dq[26]	G1
ddr3_dq[11]	D6	ddr3_dq[27]	A2
ddr3_dq[12]	G8	ddr3_dq[28]	E1

ddr3_dq[13]	E6	ddr3_dq[29]	A3
ddr3_dq[14]	H9	ddr3_dq[30]	G2
ddr3_dq[15]	G6	ddr3_dq[31]	C2
ddr3_dqs_p[0]	J4	ddr3_dqs_n[0]	H4
ddr3_dqs_p[1]	H7	ddr3_dqs_n[1]	G7
ddr3_dqs_P[2]	B5	ddr3_dqs_n[2]	A5
ddr3_dqs_P[3]	C1	ddr3_dqs_n[3]	B1
ref_clk_p	N3	ref_clk_n	N2

2.1.2.2.7. QSPI Flash

MES2L676-100HP 核心板采用两片 WinBond 公司的 4 位 SPI(QSPI)串行 Nor 闪存 W25Q128JV (兼容 XT25BF128FSSIGU-W), 容量共 256Mb, 最高支持 8bit 模式。

两颗 QSPI FLASH (U15、U9)的电路连接如下：



QSPI FLASH 电路

QSPI Flash 管脚分配如下:

信号	描述	PG2L100H-676 管脚
SPI_CLK	串行数据时钟	H13
SPI0_CS	U15 片选	P18
SPI0_D0	U15 数据位 0	N16
SPI0_D1	U15 数据位 1	N17
SPI0_D2	U15 数据位 2	R16
SPI0_D3	U15 数据位 3	R17
SPI1_CS	U9 片选	F25
SPI1_D0	U9 数据位 0	R14
SPI1_D1	U9 数据位 1	R15
SPI1_D2	U9 数据位 2	P14
SPI1_D3	U9 数据位 3	N14

2.1.2.2.8. 扩展 IO

MES2L676-100HP 核心板背面共有 4 个 120pin 高速扩展口 J1/J2/J3/J4,核心板侧连接器型号:

LB3524-G120P-WOR, 扩展板侧连接器型号: LB3524-G120S-WOR。FPGA 的 IO 通过 4 个扩展口与

底板连接, 实现高速数据通信。

扩展口 J1

J1 管脚	网络名称	FPGA 管脚	J1 管脚	网络名称	FPGA 管脚
1	HSSTRX3P_QL3	D12	2	HSSTREFCLK0P_QL3	F11
3	HSSTRX3N_QL3	C12	4	HSSTREFCLK0N_QL3	E11
5	GND		6	GND	
7	HSSTRX2P_QL3	B13	8	HSSTTX3P_QL3	D10
9	HSSTRX2N_QL3	A13	10	HSSTTX3N_QL3	C10
11	GND		12	GND	
13	HSSTRX1P_QL3	D14	14	HSSTTX2P_QL3	B9
15	HSSTRX1N_QL3	C14	16	HSSTTX2N_QL3	A9
17	GND		18	GND	

19	HSSTRX0P_QL3	B11	20	HSSTTX1P_QL3	D8
21	HSSTRX0N_QL3	A11	22	HSSTTX1N_QL3	C8
23	GND		24	GND	
25			26	HSSTTX0P_QL3	B7
27			28	HSSTTX0N_QL3	A7
29			30	GND	
31			32	HSSTREFCLK1P_QL3	F13
33			34	HSSTREFCLK1N_QL3	E13
35					36
37	NC		38	NC	
39			40		
41			42		
43			44		
45			46		
47			48		
49			50		
51			52		
53			54		
55			56		
57			58		
59			60		
61			62		
63			64		
65			66		
67			68		
69			70		
71			72		
73			74		
75			76		
77			78		
79			80		
81			82		
83			84		
85			86		
87	GND		88	GND	

89	NC		90	NC	
91			92		
*93	SIO_R5_01	U4	94	*SIO_R5_00	N8
*95	R5_G0_05P	M6	96	*R5_G2_12P_GMCLK	K3
97	GND		98	GND	
99			100	HSSTREFCLK1P_QL7	AA11
101			102	HSSTREFCLK1N_QL7	AB11
103			104	GND	
105	HSSTTX3P_QL7	AE7	106	HSSTRX3P_QL7	AE11
107	HSSTTX3N_QL7	AF7	108	HSSTRX3N_QL7	AF11
109	GND		110	GND	
111	HSSTTX1P_QL7	AE9	112	HSSTRX1P_QL7	AE13
113	HSSTTX1N_QL7	AF9	114	HSSTRX1N_QL7	AF13
115	GND		116	GND	
117	HSSTTX0P_QL7	AC10	118	HSSTRX0P_QL7	AC12
119	HSSTTX0N_QL7	AD10	120	HSSTRX0N_QL7	AD12

注: “*” 标 IO 为 1.5V 电平标准, 其他 IO 为 3.3V 电平标准;

扩展口 J2

J2 管脚	网络名称	FPGA 管脚	J2 管脚	网络名称	FPGA 管脚
1	L5_G0_05N_VREF_D8	N18	2	L5_G0_02N_DQS_ECCLKIN	P16
3	L5_G1_07P_D11	M20	4	L5_G1_06P_D9	K25
5	L5_G1_07N_D12	L20	6	L5_G1_06N_D10	K26
7	L5_G1_09P_D14	M24	8	L5_G1_08P_DQS_N	L24
9	L5_G1_09N_D15	M25	10	L5_G1_08N_DQS_D13	L25
11	L5_G1_11P_GMCLK	M21	12	L5_G1_10P_GSCLK	L22
13	L5_G1_11N_GMCLK	M22	14	L5_G1_10N_GSCLK	L23
15	L5_G2_13P_GSCLK	P20	16	L5_G2_12P_GMCLK	N21
17	L5_G2_13N_GSCLK	P21	18	L5_G2_12N_GMCLK	N22
19	L5_G2_15P_CS_N	P19	20	L5_G2_14P_DQS_RWSEL	N23

21	L5_G2_15N_D31_A15	N19	22	L5_G2_14N_DQS_CS0_DOUT	N24
23	L5_G2_17P_D28_A12	R20	24	L5_G2_16P_D30_A14	P23
25	L5_G2_17N_D27_A11	R21	26	L5_G2_16N_D29_A13	P24
27	L5_G3_19P_D24_A8	N26	28	L5_G3_18P_D26_A10	R25
29	L5_G3_19N_D23_A7	M26	30	L5_G3_18N_VREF_D25_A9	P25
31	L5_G3_21P_D21_A5	R26	32	L5_G3_20P_DQS	T24
33	L5_G3_21N_D20_A4	P26	34	L5_G3_20N_DQS_D22_A6	T25
35	L5_G3_23P_D17_A1	T23	36	L5_G3_22P_D19_A3	T22
37	L5_G3_23N_D16_A0	R23	38	L5_G3_22N_D18_A2	R22
39	GND		40	GND	
41	NC		42	NC	
43			44		
45	GND		46	GND	
47	SIO_L6_01	U17	48	SIO_L6_00	U24
49	L6_G0_01P	V26	50	L6_G0_00P	U25
51	L6_G0_01N	W26	52	L6_G0_00N	U26
53	L6_G0_03P	W25	54	L6_G0_02P_DQS	AB26
55	L6_G0_03N	Y26	56	L6_G0_02N_DQS	AC26
57	L6_G0_05P	V24	58	L6_G0_04P	Y25
59	L6_G0_05N_VREF	W24	60	L6_G0_04N	AA25
61	L6_G1_07P	AA22	62	L6_G1_06P	AA24
63	L6_G1_07N	AA23	64	L6_G1_06N	AB25
65	L6_G1_09P	V23	66	L6_G1_08P_DQS	AB24
67	L6_G1_09N	W23	68	L6_G1_08N_DQS	AC24
69	L6_G1_11P_GMCLK	U22	70	L6_G1_10P_GSCLK	Y22
71	L6_G1_11N_GMCLK	V22	72	L6_G1_10N_GSCLK	Y23
73	L6_G2_13P_GSCLK	W21	74	L6_G2_12P_GMCLK	U21
75	L6_G2_13N_GSCLK	Y21	76	L6_G2_12N_GMCLK	V21
77	L6_G2_15P	W20	78	L6_G2_14P_DQS	T20
79	L6_G2_15N	Y20	80	L6_G2_14N_DQS	U20
81	L6_G2_17P	V19	82	L6_G2_16P	T19
83	L6_G2_17N	W19	84	L6_G2_16N	U19

85	L6_G3_19P	T14	86	L6_G3_18P	V18
87	L6_G3_19N	T15	88	L6_G3_18N_VREF	W18
89	L6_G3_21P	U15	90	L6_G3_20P_DQS	T17
91	L6_G3_21N	U16	92	L6_G3_20N_DQS	T18
93	L6_G3_23P	V16	94	L6_G3_22P	U14
95	L6_G3_23N	V17	96	L6_G3_22N	V14
97	GND		98	REST	复位信号, 低有效
99	HSSTREFCLK0P_QL7	AA13	100	GND	
101	HSSTREFCLK0N_QL7	AB13	102		
103	GND		104		
105	HSSTTX2P_QL7	AC8	106	HSSTRX2P_QL7	AC14
107	HSSTTX2N_QL7	AD8	108	HSSTRX2N_QL7	AD14
109	GND		110	GND	
111	L6_VADJ		112	L6_VADJ	
113	GND		114	GND	
115	5V		116	5V	
117			118		
119			120		

扩展口 J3

J3 管脚	网络名称	FPGA 管脚	J3 管脚	网络名称	FPGA 管脚
1	NC		2	L4_G3_23P_VS1	J25
3	L4_G3_22P_BFOE_N	G25	4	L4_G3_23N_VS0	J26
5	L4_G3_20P_DQS	E26	6	L4_G3_21P_A17	H26
7	L4_G3_20N_DQS_A18	D26	8	L4_G3_21N_A16	G26
9	L4_G3_18P_A22	G24	10	L4_G3_19P_A20	E25
11	L4_G3_18N_VREF_A21	F24	12	L4_G3_19N_A19	D25
13	L4_G2_16P_A26	F23	14	L4_G2_17P_A24	K22
15	L4_G2_16N_A25	E23	16	L4_G2_17N_A23	K23
17	L4_G2_14P_DQS	G22	18	L4_G2_15P_A28	J24
19	L4_G2_14N_DQS_BADRVO_N	F22	20	L4_G2_15N_A27	H24

21	L4_G2_12P_GMCLK	H21	22	L4_G2_13P_GSCLK	J23
23	L4_G2_12N_GMCLK	H22	24	L4_G2_13N_GSCLK	H23
25	L4_G1_10P_GSCLK	G20	26	L4_G1_11P_GMCLK	K21
27	L4_G1_10N_GSCLK	G21	28	L4_G1_11N_GMCLK	J21
29	L4_G1_08P_DQS_VAA9P	K20	30	L4_G1_09P_VAA10P	J18
31	L4_G1_08N_DQS_VAA9N	J20	32	L4_G1_09N_VAA10N	H18
33	L4_G1_06P_VAA7P	J19	34	L4_G1_07P_VAA8P	L17
35	L4_G1_06N_VAA7N	H19	36	L4_G1_07N_VAA8N	L18
37	L4_G0_04P_VAA5P	M15	38	L4_G0_05P	M16
39	L4_G0_04N_VAA5N	L15	40	L4_G0_05N_VREF	M17
41	L4_G0_02P_DQS_VAA3P	K16	42	L4_G0_03P	M14
43	L4_G0_02N_DQS_VAA3N	K17	44	L4_G0_03N	L14
45	L4_G0_00P_VAA1P	K15	46	L4_G0_01P_VAA2P	J14
47	L4_G0_00N_VAA1N	J16	48	L4_G0_01N_VAA2N	J15
49	SIO_L4_00	K18	50	SIO_L4_01	L19
51	L3_G3_22P	C24	52	L3_G3_23P	D23
53	L3_G3_22N	B24	54	L3_G3_23N	D24
55	L3_G3_20P_DQS	A23	56	L3_G3_21P	C26
57	L3_G3_20N_DQS	A24	58	L3_G3_21N	B26
59	L3_G3_18P	C22	60	L3_G3_19P	B25
61	L3_G3_18N_VREF	C23	62	L3_G3_19N	A25
63	L3_G2_16P	B22	64	L3_G2_17P	E21
65	L3_G2_16N	A22	66	L3_G2_17N	D21
67	L3_G2_14P_DQS	B20	68	L3_G2_15P	C21
69	L3_G2_14N_DQS	A20	70	L3_G2_15N	B21
71	L3_G2_12P_GMCLK	D19	72	L3_G2_13P_GSCLK	E20
73	L3_G2_12N_GMCLK	C19	74	L3_G2_13N_GSCLK	D20
75	L3_G1_10P_GSCLK	E17	76	NC	
77	L3_G1_10N_GSCLK	E18	78	L3_G1_11N_GMCLK	C18
79	L3_G1_08P_DQS	A17	80	L3_G1_09P	B19
81	L3_G1_08N_DQS	A18	82	L3_G1_09N	A19
83	L3_G1_06P	C17	84	L3_G1_07P	E16
85	L3_G1_06N	B17	86	L3_G1_07N	D16
87	L3_G0_04P	G19	88	L3_G0_05P	H16
89	L3_G0_04N	F20	90	L3_G0_05N_VREF	G16

91	L3_G0_02P_DQS	F18	92	L3_G0_03P	G15
93	L3_G0_02N_DQS	F19	94	L3_G0_03N	F15
95	L3_G0_00P	H14	96	L3_G0_01P	G17
97	L3_G0_00N	H15	98	L3_G0_01N	F17
99	SIO_L3_00	H17	100	SIO_L3_01	E22
*101	R5_G0_01P	M7	*102	R5_G0_00P	K3
*103	R5_G0_01N	L7	*104	R5_G0_00N	J3
*105	R5_G0_03P	L5	*106	R5_G0_02P_DQS	M4
*107	R5_G0_03N	K5	*108	R5_G0_02N_DQS	L4
*109	R5_G3_21P	R8	*110	R5_G0_04P	N7
*111	R5_G3_21N	P8	*112	R5_G0_04N	N6
113	FPGA_TCK		*114	R5_G3_22P	R7
115	FPGA_TMS		*116	R5_G3_22N	R6
117	FPGA_TDI		*118	R5_G3_19N	R5
119	FPGA_TDO		120	NC	

注: “*” 标 IO 为 1.5V 电平标准, 其他 IO 为 3.3V 电平标准;

扩展口 J4

J4 管脚	网络名称	FPGA 管脚	J4 管脚	网络名称	FPGA 管脚
1	L7_VADJ		2	L7_VADJ	
3	GND		4	GND	
5	SIO_L7_01	W16	6	SIO_L7_00	AB22
7	L7_G0_00P	AE25	8	L7_G0_01P	AC22
9	L7_G0_00N	AE26	10	L7_G0_01N	AC23
11	L7_G0_02P_DQS	AE24	12	L7_G0_03P	AD25
13	L7_G0_02N_DQS	AF25	14	L7_G0_03N	AD26
15	L7_G0_04P	AE23	16	L7_G0_05P	AD23
17	L7_G0_04N	AF23	18	L7_G0_05N_VREF	AD24
19	L7_G1_06P	AD21	20	L7_G1_07P	AF19
21	L7_G1_06N	AE21	22	L7_G1_07N	AF20
23	L7_G1_08P_DQS	AE22	24	L7_G1_09P	AD20

25	L7_G1_08N_DQS	AF22	26	L7_G1_09N	AE20
27	L7_G1_10P_GSCLK	AB21	28	L7_G1_11P_GMCLK	AA20
29	L7_G1_10N_GSCLK	AC21	30	L7_G1_11N_GMCLK	AB20
31	L7_G2_12P_GMCLK	AA19	32	L7_G2_13P_GSCLK	AC19
33	L7_G2_12N_GMCLK	AB19	34	L7_G2_13N_GSCLK	AD19
35	L7_G2_14P_DQS	AC18	36	L7_G2_15P	AE18
37	L7_G2_14N_DQS	AD18	38	L7_G2_15N	AF18
39	L7_G2_16P	Y18	40	L7_G2_17P	AE17
41	L7_G2_16N	AA18	42	L7_G2_17N	AF17
43	L7_G3_18P	AA17	44	L7_G3_19P	AC17
45	L7_G3_18N_VREF	AB17	46	L7_G3_19N	AD17
47	L7_G3_20P_DQS	Y16	48	L7_G3_21P	AB16
49	L7_G3_20N_DQS	Y17	50	L7_G3_21N	AC16
51	L7_G3_22P	Y15	52	L7_G3_23P	W14
53	L7_G3_22N	AA15	54	L7_G3_23N	W15
55	GND		56	GND	
57	NC		58	NC	
59			60		
61			62		
63			64		
65	GND		66	GND	
67	SIO_R6_01	V9	68	SIO_R6_00	V4
69	R6_G3_22P	Y8	70	R6_G3_23P	AB6
71	R6_G3_22N	AA8	72	R6_G3_23N	AC6
73	R6_G3_20P_DQS	V8	74	R6_G3_21P	AA5
75	R6_G3_20N_DQS	W8	76	R6_G3_21N	AB5
77	R6_G3_18P	Y7	78	R6_G3_19P	Y6
79	R6_G3_18N_VREF	AA7	80	R6_G3_19N	Y5
81	R6_G2_16P	AF5	82	R6_G2_17P	AC4
83	R6_G2_16N	AF4	84	R6_G2_17N	AD4
85	R6_G2_14P_DQS	AD5	86	R6_G2_15P	AE3
87	R6_G2_14N_DQS	AE5	88	R6_G2_15N	AF3
89	R6_G2_12P_GMCLK	AA4	90	R6_G2_13P_GSCLK	AC3
91	R6_G2_12N_GMCLK	AB4	92	R6_G2_13N_GSCLK	AD3
93	R6_G1_10P_GSCLK	AB2	94	R6_G1_11P_GMCLK	AA3

95	R6_G1_10N_GSCLK	AC3	96	R6_G1_11N_GMCLK	AA2
97	R6_G1_08P_DQS	AD1	98	R6_G1_09P	AE2
99	R6_G1_08N_DQS	AE1	100	R6_G1_09N	AF2
101	R6_G1_06P	AB1	102	R6_G1_07P	Y2
103	R6_G1_06N	AC1	104	R6_G1_07N	Y1
105	R6_G0_04P	W3	106	R6_G0_05P	U7
107	R6_G0_04N	Y3	108	R6_G0_05N_VREF	V7
109	R6_G0_02P_DQS	V3	110	R6_G0_03P	V6
111	R6_G0_02N_DQS	V2	112	R6_G0_03N	W6
113	R6_G0_00P	V1	114	R6_G0_01P	W5
115	R6_G0_00N	W1	116	R6_G0_01N	W4
117	GND		118	GND	
119	R6_VADJ		120	R6_VADJ	

2.1.3. 扩展底板

2.1.3.1. 扩展底板简介

MES2L676-100HP 开发板扩展底板的外设资源如下:

HDMI 输出接口	*1	PCIe 接口	*1
光纤接口	*2	按键	*5
SD 卡接口	*1	USB 转 UART	*1
HDMI 输入接口	*1	Jtag 调试接口	*1
10/100/1000M 以太网接口	*1	LED 灯	*8
SMA_HSST 接口	*1	FMC 连接器	*1

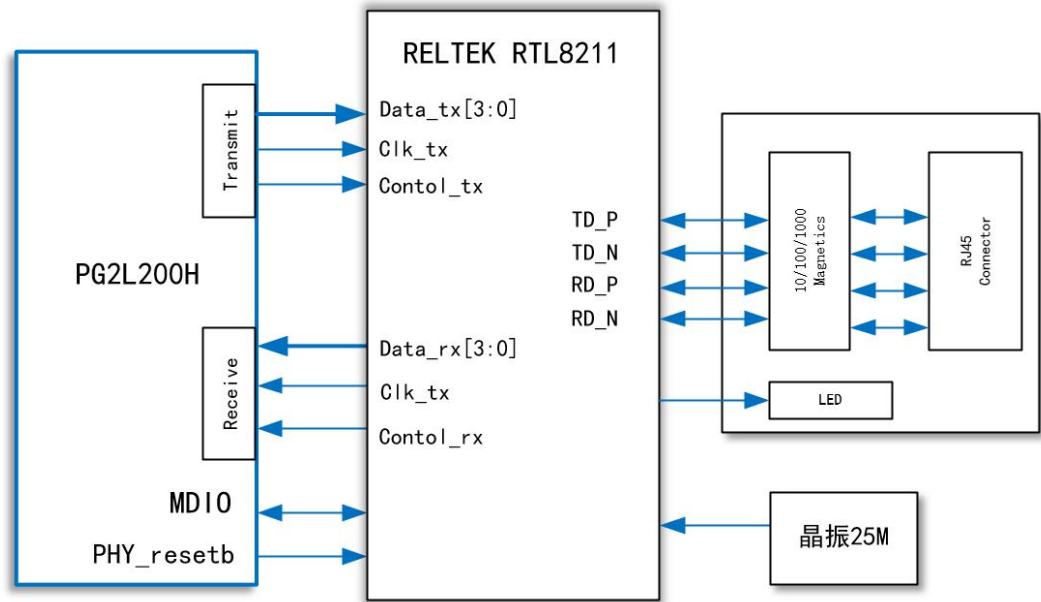
2.1.3.2. 外接通信接口

2.1.3.2.1. 网口

MES2L676-100HP 开发板使用 Realtek RTL8211F-CG PHY 实现了一个 10/100/1000 以太网端口, 用于网络连接。该器件工作电压为支持 2.5V、3.3V。PHY 连接到 BANK L3, 并通过 RGMII 接口连接到 MES2L676-100HP。RJ-45 连接器是 HFJ11-1G01E-L12RL, 具有集

成的自动缠绕磁性元件, 可提高性能、质量和可靠性。RJ-45 有两个状态指示灯 LED, 用于指示流量和有效链路状态。

下图为 MES2L676-100HP 开发板上的网口连接框图。



网口连接框图

具体的管脚分配如下所示：

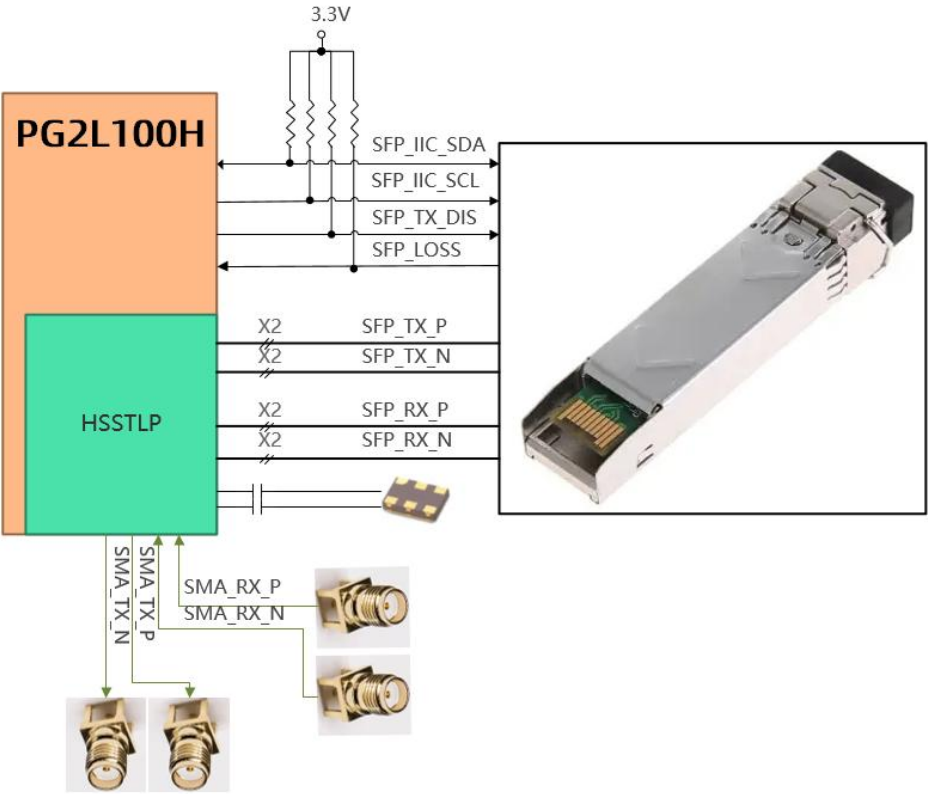
信号名称	描述	PG2L100H-676 管脚	RTL8211F Pin
PHY0_RXC	接收时钟线	D19	27
PHY0_RXCTRL	接收控制线	H16	26
PHY0_RXD[3]	接收数据线 3	B19	22
PHY0_RXD[2]	接收数据线 2	A19	23
PHY0_RXD[1]	接收数据线 1	E16	24
PHY0_RXD[0]	接收数据线 0	D16	25
PHY0_TXC	发送时钟线	G16	20
PHY0_TXCTRL	发送控制线	D20	19

PHY0_TXD[3]	发送数据线 3	D21	15
PHY0_TXD[2]	发送数据线 2	C21	16
PHY0_TXD[1]	发送数据线 1	B21	17
PHY0_TXD[0]	发送数据线 0	E20	18
PHY0_MDC	控制总线时钟	A25	13
PHY0_MDIO	控制总线数据	E21	14
RSTN_OUT	复位控制线, 低有效	G25	12

2.1.3.2.2. SFP 光纤接口

MES2L676-100HP 板上有 2 路 SFP 光纤接口, 用户可使用光模块与光纤接口相连进行光纤通信。2 路光纤接口分别跟 FPGA 的 HSST 收发器的 2 路 RX/TX 相连接, TX 信号和 RX 信号都是以差分信号方式连接 FPGA 和光模块, 每路 TX 发送和 RX 接收数据速率高达 6.6Gb/s。HSST 收发器的参考时钟由板载的 125M 差分晶振提供。

FPGA 和光纤设计示意图如下图所示:



FPGA 与光纤设计示意图

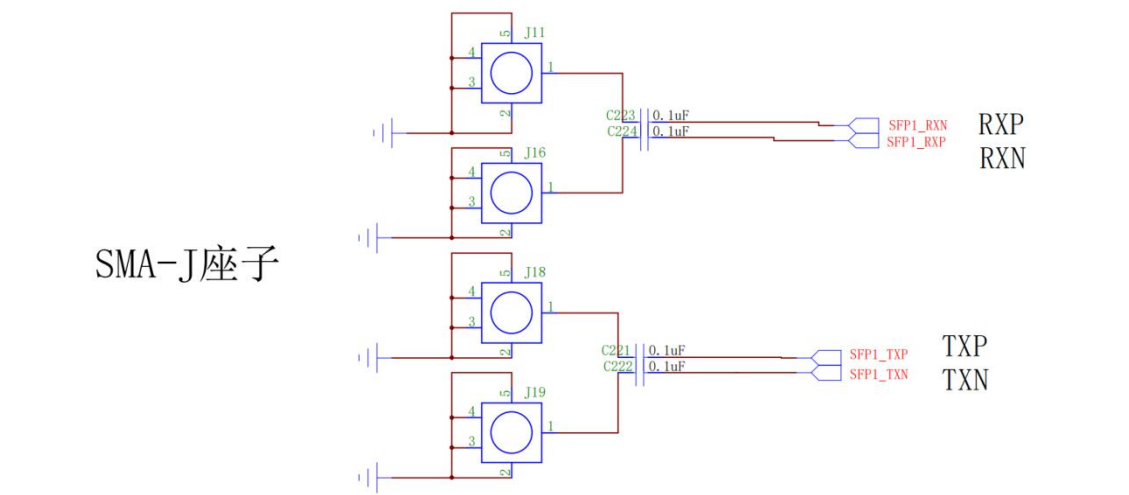
具体的管脚约束如下表所示：

信号名称	描述	PG2L100H-676 管脚
SFP0_TXP	SFP0 光模块数据发送 P 端	AC10
SFP0_TXN	SFP0 光模块数据发送 N 端	AD10
SFP0_RXP	SFP0 光模块数据接收 P 端	AC12
SFP0_RXN	SFP0 光模块数据接收 N 端	AD12
SFP0_LOS	SFP0 光模块接收 Loss 信号,高表示没有接收到光信号	G17
SFP0_TX_DISABLE	SFP0 光模块光发射禁止,高有效	F17
HSP_SCL	SFP0 光模块 I2C 通信时钟	K22
HSP_SDA	SFP0 光模块 I2C 通信数据	K23

SFP2_TXP	SFP1 光模块数据发送 P 端	AE9
SFP2_TXN	SFP1 光模块数据发送 N 端	AF9
SFP2_RXP	SFP1 光模块数据接收 P 端	AE13
SFP2_RXN	SFP1 光模块数据接收 N 端	AF13
SFP2_LOS	SFP1 光模块接收 Loss 信号, 高表示没有接收到光信号	G15
SFP2_TX_DISABLE	SFP1 光模块光发射禁止, 高有效	F15
HSP2_SCL	SFP1 光模块 I2C 通信时钟	D23
HSP2_SDA	SFP1 光模块 I2C 通信数据	D24

2.1.3.2.3. SMA_HSST 接口

MES2L676-100HP 板上扩展了一路 SMA_HSST 接口用于高速数据传输。开发板 SMA 座符合标准 SMA 接口规范, 可使用“内螺旋+插针”的 SMA 线连接板卡“外螺旋+插孔”的 SMA 接口进行通信, 板卡 SMA_HSST 接口与 FPGA 的 HSST 收发器的一路差分 RX/TX 相连, TX 信号和 RX 信号都是以差分信号方式通过隔直电容连接 FPGA 和 SMA 接口, MES2L676-100HP-V1.2 开发板的 SMA 接口 TX 发送和 RX 接收数据速率高达 3.125Gb/s。HSST 收发器的参考时钟由板载的 125M 差分晶振提供。



SMA 座原理图

具体的管脚约束如下表所示：

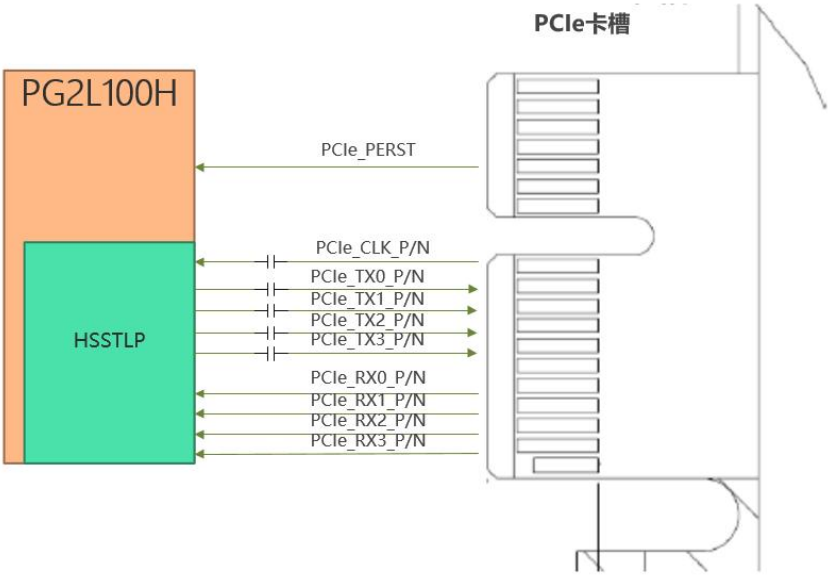
信号名称	描述	PG2L100H-676 管脚
SFP1_TXP	SMA_HSST 数据发送 P 端	AE7
SFP1_TXN	SMA_HSST 数据发送 N 端	AF7
SFP1_RXP	SMA_HSST 数据接收 P 端	AE11
SFP1_RXN	SMA_HSST 数据接收 N 端	AF11

2.1.3.2.4. PCIe x4 接口

MES2L676-100HP 扩展底板上提供一个工业级高速数据传输 PCIe x4 接口，PCIE 卡的外形尺寸符合标准 PCIe 卡电气规范要求, 可直接在普通 PC 的 x4 PCIe 插槽上使用。

PCie 接口的收发信号直接跟 FPGA 的 HSST 收发器相连接,四通道的 TX 信号和 RX 信号都是以差分信号方式连接到 FPGA,单通道通信速率可高达 5 GT/s 带宽。PCie 的参考时钟由 PC 的 PCIe 插槽提供给开发板, 参考时钟频率为 100Mhz。

TX 发送信号和参考时钟 CLK 信号用 AC 耦合模式连接。



PCle 设计示意图

MES2L676-100HP 与 PCIe 卡槽的管脚连接如下表所示。

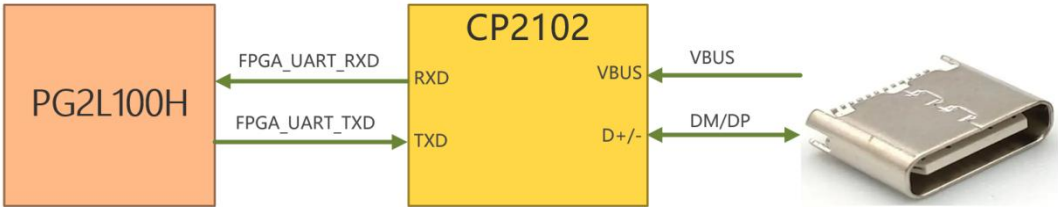
信号名称	描述	PG2L100H-676 管脚
PCIE_TX0P	PCle 通道 0 数据发送 P 端	D10
PCIE_TX0N	PCle 通道 0 数据发送 N 端	C10
PCIE_RX0P	PCle 通道 0 数据接收 P 端	D12
PCIE_RX0N	PCle 通道 0 数据接收 N 端	C12
PCIE_TX1P	PCle 通道 1 数据发送 P 端	B9
PCIE_TX1N	PCle 通道 1 数据发送 N 端	A9
PCIE_RX1P	PCle 通道 1 数据接收 P 端	B13
PCIE_RX1N	PCle 通道 1 数据接收 N 端	A13
PCIE_TX2P	PCle 通道 2 数据发送 P 端	D8
PCIE_TX2N	PCle 通道 2 数据发送 N 端	C8

PCIE_RX2P	PCle 通道 2 数据接收 P 端	D14
PCIE_RX2N	PCle 通道 2 数据接收 N 端	C14
PCIE_TX3P	PCle 通道 3 数据发送 P 端	B7
PCIE_TX3N	PCle 通道 3 数据发送 N 端	A7
PCIE_RX3P	PCle 通道 3 数据接收 P 端	B11
PCIE_RX3N	PCle 通道 3 数据接收 N 端	A11
PCIE_PERST	PCle 的复位引脚	G24
PCIE_WAKE	PCle 的唤醒引脚	F24
PCIE_REFCLK_P	PCle 的参考时钟 P 端	F13
PCIE_REFCLK_N	PCle 的参考时钟 N 端	E13

2.1.3.2.5. 串口

MES2L676-100HP 扩展底板上集成了一路 USB 转串口模块,采用的 USB-UART 芯片是 CP2102 , USB 接口采用 USB Type C 接口,可用 USB Type C 线连接到 PC 端进行串口数据通信。

USB Uart 电路设计的示意图如下图所示:



具体的管脚分配如下:

信号	描述	PG2L100H-676 管脚
FPGA_UART_RXD	UART 数据输入	B24

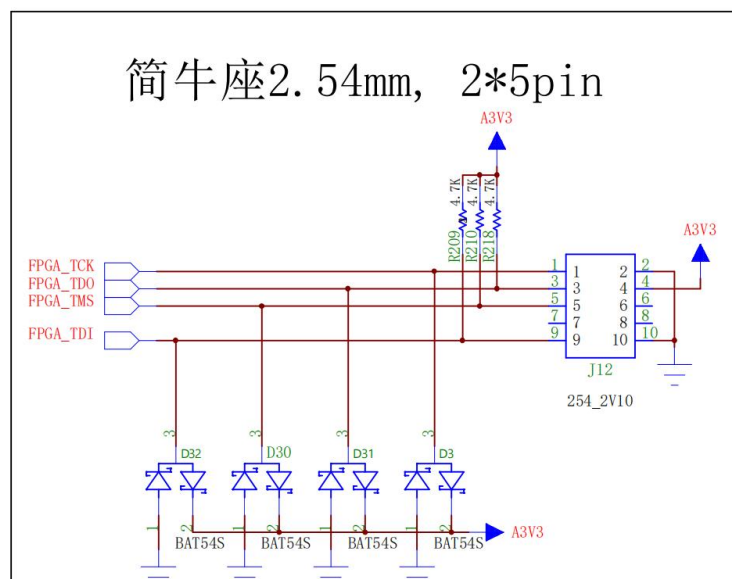
FPGA_UART_TXD

UART 数据输出

C24

2.1.3.2.6. JTAG

MES2L676-100HP 扩展底板上的 JTAG 接口用于下载 FPGA 程序或者固化程序到 FLASH。在硬件设计上在 JTAG 信号位置添加了保护二极管来保证信号的电压在 FPGA 接受的范围, 但仍需注意在通电的情况下, 应避免插拔 jtag 接口的操作。



JTAG 连接座原理图

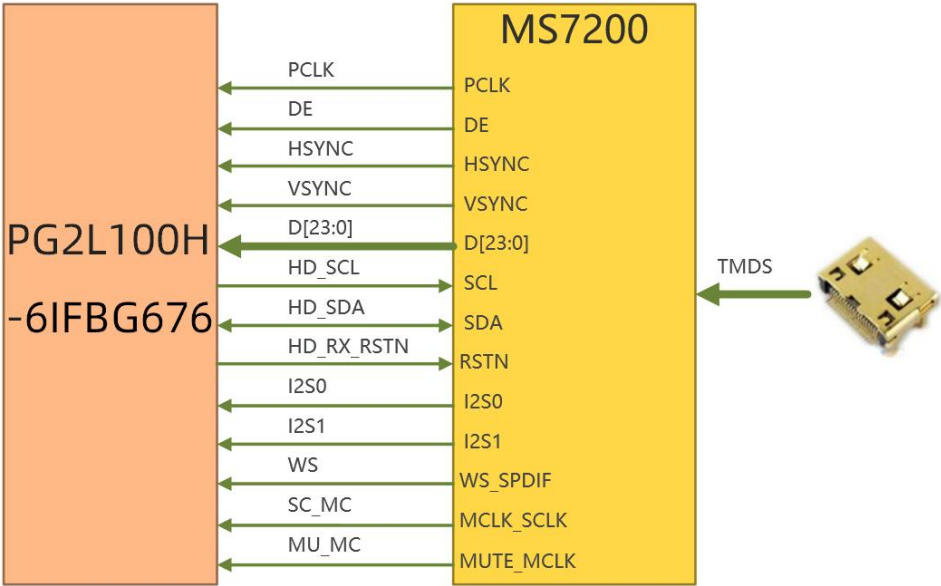
2.1.3.3. HDMI

2.1.3.3.1. HDMI 输入接口

HDMI 输入接口的实现, 选用了国产宏晶微公司的 MS7200 HDMI 接收芯片, 兼容 HDMI1.4b 及 HDMI 1.4b 下标准视频的 3D 传输格式。支持的最高分辨率高达 4K@30Hz, 最高采样率达到 300MHz; MS7200 支持 YUV 和 RGB 之间的色彩空间转换, 数字接口支持 YUV 及 RGB 格式输出; MS7200 不仅支持通过 IIS 总线或 SPDIF 传输高清音频, 还支持高比特音频(HBR)音频, 在 HBR 模式下, 音频采样率最高为 768KHz。其中 MS7200 的 IIC 配置接口与 FPGA 的 IO 相连, 通过 FPGA 的编程来对 MS7200 进行初始化和控制操作,

MES2L676-100HP 开发板上将 MS7200 的 SA 管脚下拉到地, 故 IIC 的 ID 地址为 0x56;

HDMI 输入接口的硬件连接如下图所示。



HDMI 输入接口的硬件连接

具体的管脚分配如下所示：

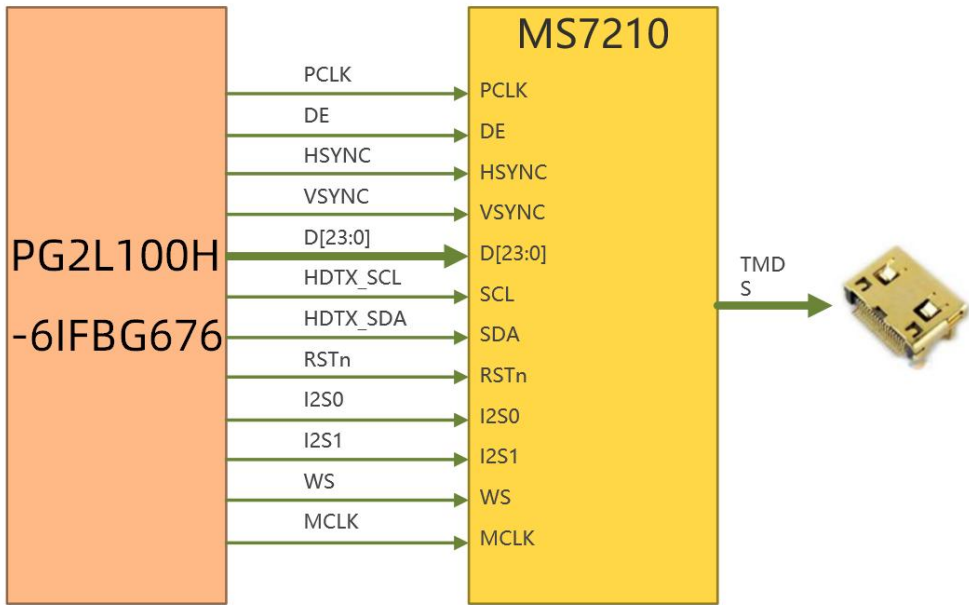
信号	功能描述	PG2L100H-676 管脚
HD_RX_PCLK	HDMI 显示图像像素时钟	K21
HD_RX_VS	HDMI 显示图像帧同步信号	H24
HD_RX_HS	HDMI 显示图像行同步信号	J23
HD_RX_DE	HDMI 显示图像有效像素点使能信号	H23
HD_RX_D0	HDMI 显示图像像素点数据位[0]	L18
HD_RX_D1	HDMI 显示图像像素点数据位[1]	J21
HD_RX_D2	HDMI 显示图像像素点数据位[2]	J18
HD_RX_D3	HDMI 显示图像像素点数据位[3]	H18
HD_RX_D4	HDMI 显示图像像素点数据位[4]	L17

HD_RX_D5	HDMI 显示图像像素点数据位[5]	M16
HD_RX_D6	HDMI 显示图像像素点数据位[6]	M17
HD_RX_D7	HDMI 显示图像像素点数据位[7]	M14
HD_RX_D8	HDMI 显示图像像素点数据位[8]	L14
HD_RX_D9	HDMI 显示图像像素点数据位[9]	J14
HD_RX_D10	HDMI 显示图像像素点数据位[10]	J15
HD_RX_D11	HDMI 显示图像像素点数据位[11]	J16
HD_RX_D12	HDMI 显示图像像素点数据位[12]	K15
HD_RX_D13	HDMI 显示图像像素点数据位[13]	K17
HD_RX_D14	HDMI 显示图像像素点数据位[14]	K16
HD_RX_D15	HDMI 显示图像像素点数据位[15]	L15
HD_RX_D16	HDMI 显示图像像素点数据位[16]	M15
HD_RX_D17	HDMI 显示图像像素点数据位[17]	H19
HD_RX_D18	HDMI 显示图像像素点数据位[18]	J19
HD_RX_D19	HDMI 显示图像像素点数据位[19]	J20
HD_RX_D20	HDMI 显示图像像素点数据位[20]	K20
HD_RX_D21	HDMI 显示图像像素点数据位[21]	G21
HD_RX_D22	HDMI 显示图像像素点数据位[22]	G20
HD_RX_D23	HDMI 显示图像像素点数据位[23]	H22
HD_RX_SC_MC	MS7200 音频通道 I2S 的串行时钟信号	F22
HD_RX_MU_MC	MS7200 音频通道 I2S 的主时钟信号或 Mute	F23

	信号	
HD_RX_I2S1	MS7200 音频通道 I2S 的数据通道 1	G22
HD_RX_I2S0	MS7200 音频通道 I2S 的数据通道 0	E23
HD_RX_WS_SP	MS7200 音频通道 I2S 的位时钟	H21
HD_RX_INT	MS7200 输出中断信号	J24
HD_SCL	MS7200 、MS7210 控制通道 IIC 的时钟信号	K22
HD_SDA	MS7200 、MS7210 控制通道 IIC 的数据信号	K23
RSTN_OUT	MS7200 、MS7210 硬件复位信号, 低电平有效	G25

2.1.3.3.2. HDMI 输出接口

HDMI 输出接口的实现, 选用了国产宏晶微公司的 MS7210 HDMI 发送芯片, 兼容 HDMI1.4b 及 HDMI 1.4b 下标准视频的 3D 传输格式。内置可编程 EDID 缓存, 支持的最高分辨率高达 4K@30Hz,最高采样率达到 300MHz;MS7210 支持 YUV 和 RGB 之间的色彩空间转换, 数字接口支持 YUV 及 RGB 格式输入;MS7210 的 IIS 接口不仅支持高清音频的传输, 还支持高比特音频 (HBR)音频, 在 HBR 模式下, 音频采样率最高为 768KHz。其中, MS7210 的 IIC 配置接口与 FPGA 的 IO 相连, 通过 FPGA 的编程来对 MS7210 进行初始化和控制操作,MES2L676-100HP 开发板将 MS7210 的 SA 管脚上拉到电源电压,故 IIC 的 ID 地址为 0xB2; HDMI 输出接口的硬件连接如下图所示。



HDMI 输出接口的硬件连接

具体的管脚分配如下表所示：

信号	功能描述	PG2L100H-676 管脚
HD_TX_PCLK	HDMI 显示图像像素时钟	T24
HD_TX_VS	HDMI 显示图像帧同步信号	R21
HD_TX_HS	HDMI 显示图像行同步信号	R20
HD_TX_DE	HDMI 显示图像有效像素点使能信号	N19
HD_TX_D0	HDMI 显示图像像素点数据位[0]	P19
HD_TX_D1	HDMI 显示图像像素点数据位[1]	P21
HD_TX_D2	HDMI 显示图像像素点数据位[2]	P20
HD_TX_D3	HDMI 显示图像像素点数据位[3]	M22
HD_TX_D4	HDMI 显示图像像素点数据位[4]	M21
HD_TX_D5	HDMI 显示图像像素点数据位[5]	N18

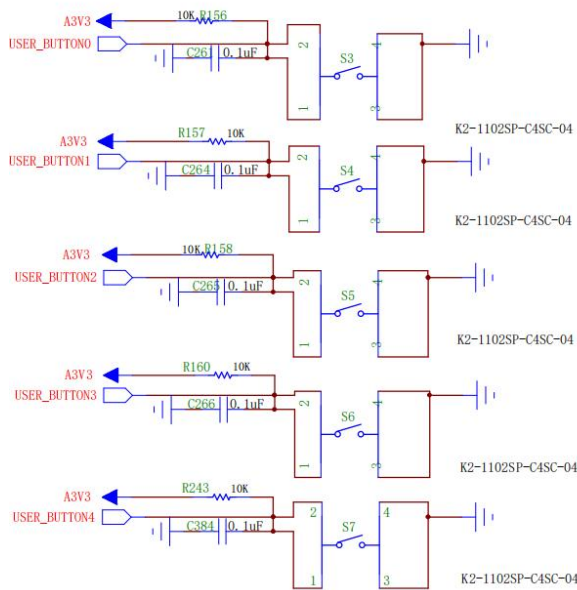
HD_TX_D6	HDMI 显示图像像素点数据位[6]	R22
HD_TX_D7	HDMI 显示图像像素点数据位[7]	T22
HD_TX_D8	HDMI 显示图像像素点数据位[8]	T25
HD_TX_D9	HDMI 显示图像像素点数据位[9]	P25
HD_TX_D10	HDMI 显示图像像素点数据位[10]	R25
HD_TX_D11	HDMI 显示图像像素点数据位[11]	P24
HD_TX_D12	HDMI 显示图像像素点数据位[12]	P23
HD_TX_D13	HDMI 显示图像像素点数据位[13]	N24
HD_TX_D14	HDMI 显示图像像素点数据位[14]	N23
HD_TX_D15	HDMI 显示图像像素点数据位[15]	N22
HD_TX_D16	HDMI 显示图像像素点数据位[16]	N21
HD_TX_D17	HDMI 显示图像像素点数据位[17]	L23
HD_TX_D18	HDMI 显示图像像素点数据位[18]	L22
HD_TX_D19	HDMI 显示图像像素点数据位[19]	L25
HD_TX_D20	HDMI 显示图像像素点数据位[20]	L24
HD_TX_D21	HDMI 显示图像像素点数据位[21]	K26
HD_TX_D22	HDMI 显示图像像素点数据位[22]	K25
HD_TX_D23	HDMI 显示图像像素点数据位[23]	P16
HD_TX_SC_MC	MS7210 音频通道 I2S 的时钟信号	T23
HD_TX_I2S1	MS7210 音频通道 I2S 的数据通道 1	R26
HD_TX_I2S0	MS7210 音频通道 I2S 的数据通道 0	P26

HD_TX_WS	MS7210 音频通道 I2S 的位时钟	B25
HD_TX_INT	MS7210 输出中断	R23
HD_SCL	MS7200、MS7210 控制通道 IIC 的时钟信号	K22
HD_SDA	MS7200、MS7210 控制通道 IIC 的数据信号	K23
RSTN_OUT	MS7200 、MS7210 硬件复位信号,低电平有效	G25

2.1.3.4. 按键/指示灯/存储接口

2.1.3.4.1. 按键

MES2L676-100HP 开发板上扩展有 5 个用户按键, 按键连接在 FPGA 普通 IO 上, 低电平有效; 按键未按下时, 按键信号为高电平, 当按键按下时, 按键信号为低电平。



按键电路图

具体管脚分配如下:

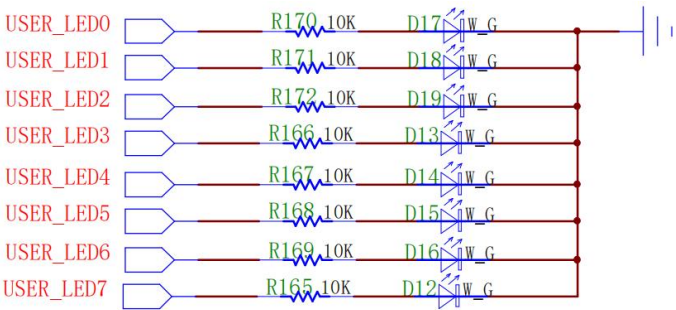
信号	描述	PG2L100H-676 管脚
KEY0	按键控制信号	C22
KEY1		C23

KEY2		B22
KEY3		A22
KEY4		B20

2.1.3.4.2. LED 灯

MES2L676-100HP 开发板上扩展有 8 个用户 LED 灯,连接在 PG2L100H 的 bank L3 上, FPGA 输出高电平时 LED 灯亮。

扩展板上 LED 灯功能电路图如下图所示:



LED 灯电路图

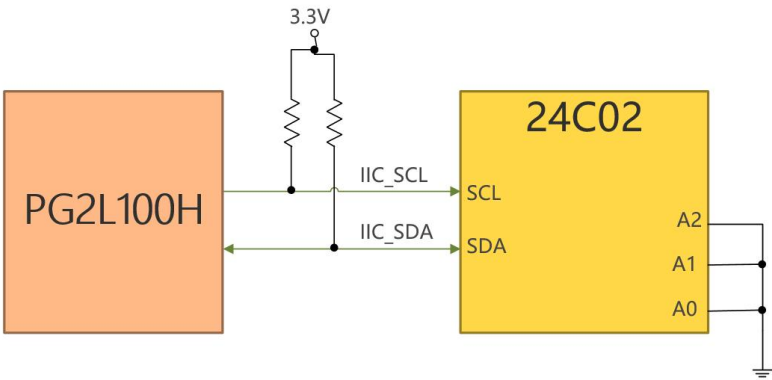
具体的管脚分配如下所示:

信号	描述	PG2L100H-676 管脚
LED0	LED0 控制信号	A20
LED1	LED1 控制信号	C18
LED2	LED2 控制信号	C19
LED3	LED3 控制信号	E18
LED4	LED4 控制信号	A17
LED5	LED5 控制信号	A18
LED6	LED6 控制信号	C17
LED7	LED7 控制信号	B17

2.1.3.4.3. EEPROM

MES2L676-100HP 开发板板载了一片容量为: 2Kbit (1*256*8bit) 的 EEPROM , 型号为

24LC02,由 1 个 256byte 的 block 组成,通过 IIC 总线进行通信。EEPROM 的 I2C 信号连接的 FPGA 的 IO 口上。下图为 EEPROM 的设计示意图;



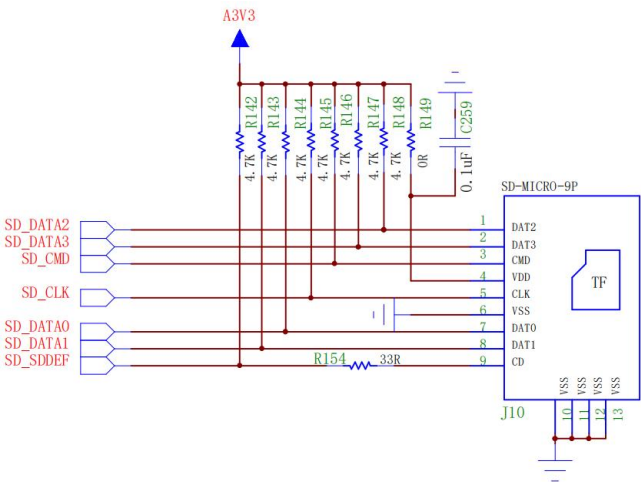
EEPROM 的设计示意图

具体的管脚分配如下:

信号	描述	PG2L100H-676 管脚
SCL	EEPROM 时钟	A23
SDA	EEPROM 数据	A24

2.1.3.4.4. SD CARD

MES2L676-100HP 扩展底板上扩展了一个 SD card 接口, 支持 SPI 模式和 SD 模式, 使用的 SD 卡为 MicroSD 卡, 接口电压为 3.3V, 原理图如下图所示:



SD card 原理图

具体的管脚分配如下:

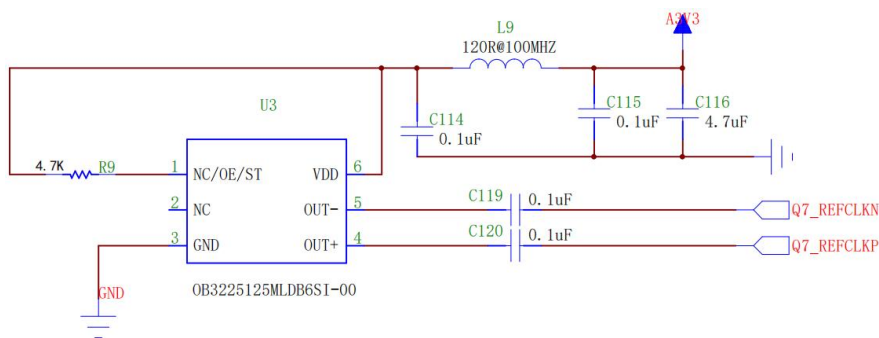
信号	描述	PG2L100H-676 管脚	SD CARD PIN
CLK	时钟	F19	5
CMD	串行命令线	H14	3
DATA[3:0]	数据线	D0: F18	7
		D1: F20	8
		D2: H17	1
		D3: H15	2
SDDEF	卡识别	G19	9

2.1.3.5. 时钟

MES2L676-100HP 扩展底板上配有两个 125MHz 有源差分晶振与 1 个 27MHz 有源晶振。两个差分晶振用于 HSST 参考时钟输入。

2.1.3.5.1. 125MHz 有源差分晶振

下图 U3 为 125MHz 有源差分晶振之一, 用于光纤通信的参考时钟输入, 晶振时钟输入至 BANK L7 上。

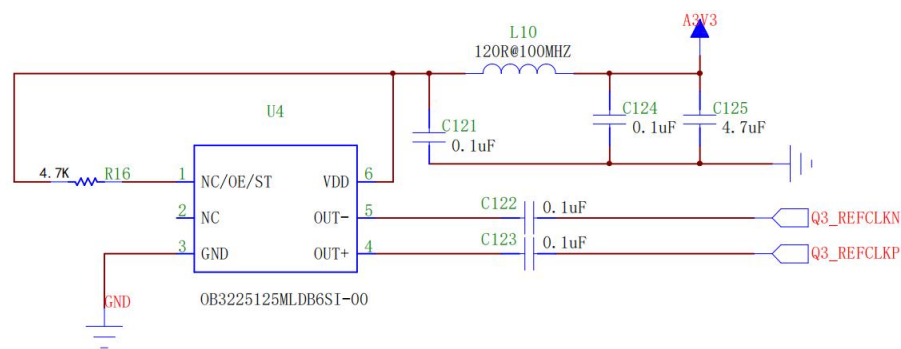


扩展板 125MHz 有源差分晶振

具体的管脚分配如下表所示:

信号	描述	PG2L100H-676 管脚
Q7_REFCLKP	HSST 参考时钟	AA11
Q7_REFCLKN		AB11

下图 U4 为另一个 125MHz 有源差分晶振, 用于 PCIe 通信的参考时钟输入, 晶振时钟输入至 FPGA 的 BANK L3 上。



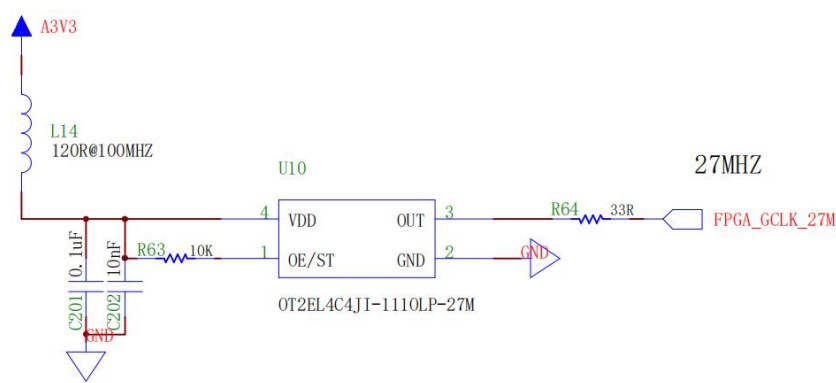
扩展版 125MHz 有源差分晶振

具体的管脚分配如下表所示：

信号	描述	PG2L100H-676 管脚
Q3_REFCLKP	HSST 参考时钟	F13
Q3_REFCLKN		E13

2.1.3.5.2. 27MHz 有源晶振

下图 U10 为扩展底板 27MHz 有源单端时钟预留于扩展地板上。



扩展底板 27MHz 有源单端时钟

具体的管脚分配如下表所示：

信号	描述	PG2L100H-676 管脚
FPGA_GCLK_27M	单端时钟	E17

2.1.3.6. FMC 连接器

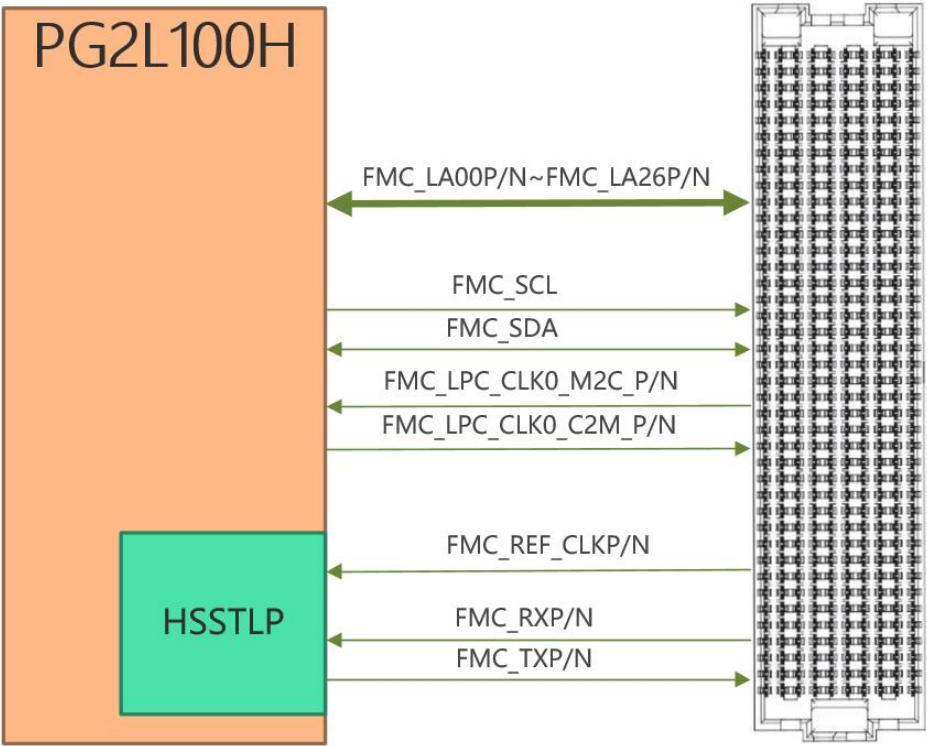
MES2L676-100HP 扩展底板预留了一组 FMC LPC 扩展口, 符合 FMC 接口规范, 可用于外接 FMC 模块 (HDMI 输入输出模块、高速 AD 模块)。

其中 FMC 扩展口共扩展 24 对差分 IO, 1 路 I2C 总线信号, 一路 HSSTLP 高速串行数据收发信号以及为 HSSTLP 提供的一路参考时钟。FMC 扩展的差分信号分别连接在 BANK L6、BANK L5、BANK L4、BANK L7 上, 其中 BANK L6 的 IO 电压由 L6_VADJ 决定, BANK L7 的 IO 电压由 L7_VADJ 决定,底板 L6_VADJ 和 L7_VADJ 使用相同电源,可通过跳线帽座连接 J20 处和 J24 处的不同针脚决定为 3.3V 或 2.5V 或 1.8V。



J20 位置

FPGA 与 FMC 连接器相连的框图如下表所示:



FPGA 与 FMC 连接器相连设计示意图

具体的管脚分配如下表所示：

J33-A:

信号	描述	PG2L100H-676 管脚
FMC_LPC_DP0_C2M_P	FMC 模块的高速串行口数据线，接收 FPGA 的数据信号 P	AC8
FMC_LPC_DP0_C2M_N	FMC 模块的高速串行口数据线，接收 FPGA 的数据信号 N	AD8
FMC_LPC_DP0_M2C_P	FMC 模块的高速串行口数据线，发送数据到 FPGA 信号 P	AC14
FMC_LPC_DP0_M2C_N	FMC 模块的高速串行口数据线，发送数据到 FPGA 信号 N	AD14
FMC_LPC_GBTCLK0_M2C_P	FMC 模块的高速串行口参考时钟 P	AA13
FMC_LPC_GBTCLK0_M2C_N	FMC 模块的高速串行口参考时钟 N	AB13
FMC_LPC_IIC_SCL	FMC I2C 总线时钟	M20

FMC_LPC_IIC_SDA	FMC I2C 总线数据	L20
FMC_LPC_CLK0_M2C_P	FMC 参考第 1 路参考时钟 P	AC19 (PG2L200H)
FMC_LPC_CLK0_M2C_N	FMC 参考第 1 路参考时钟 N	AD19 (PG2L200H)
FMC_LPC_CLK0_C2M_P	FMC 参考第 2 路参考时钟 P	U14
FMC_LPC_CLK0_C2M_N	FMC 参考第 2 路参考时钟 N	V14
FMC_LPC_LA00_P_CC	FMC 参考第 0 路数据 (时钟)P	W21
FMC_LPC_LA00_N_CC	FMC 参考第 0 路数据 (时钟)N	Y21
FMC_LPC_LA01_P_CC	FMC 参考第 1 路数据 (时钟)P	Y22
FMC_LPC_LA01_N_CC	FMC 参考第 1 路数据 (时钟)N	Y23
FMC_LPC_LA02_P	FMC 参考第 2 路数据	T14
FMC_LPC_LA02_N	FMC 参考第 2 路数据	T15
FMC_LPC_LA03_P	FMC 参考第 3 路数据	V16
FMC_LPC_LA03_N	FMC 参考第 3 路数据	V17
FMC_LPC_LA04_P	FMC 参考第 4 路数据	V18
FMC_LPC_LA04_N	FMC 参考第 4 路数据	W18
FMC_LPC_LA05_P	FMC 参考第 5 路数据	V19
FMC_LPC_LA05_N	FMC 参考第 5 路数据	W19
FMC_LPC_LA06_P	FMC 参考第 6 路数据	T17
FMC_LPC_LA06_N	FMC 参考第 6 路数据	T18
FMC_LPC_LA07_P	FMC 参考第 7 路数据	T20
FMC_LPC_LA07_N	FMC 参考第 7 路数据	U20
FMC_LPC_LA08_P	FMC 参考第 8 路数据	T19
FMC_LPC_LA08_N	FMC 参考第 8 路数据	U19
FMC_LPC_LA09_P	FMC 参考第 9 路数据	W20
FMC_LPC_LA09_N	FMC 参考第 9 路数据	Y20
FMC_LPC_LA10_P	FMC 参考第 10 路数据	V23
FMC_LPC_LA10_N	FMC 参考第 10 路数据	W23
FMC_LPC_LA11_P	FMC 参考第 11 路数据	AB24
FMC_LPC_LA11_N	FMC 参考第 11 路数据	AC24
FMC_LPC_LA12_P	FMC 参考第 12 路数据	AA22
FMC_LPC_LA12_N	FMC 参考第 12 路数据	AA23
FMC_LPC_LA13_P	FMC 参考第 13 路数据	V24
FMC_LPC_LA13_N	FMC 参考第 13 路数据	W24
FMC_LPC_LA14_P	FMC 参考第 14 路数据	Y25
FMC_LPC_LA14_N	FMC 参考第 14 路数据	AA25

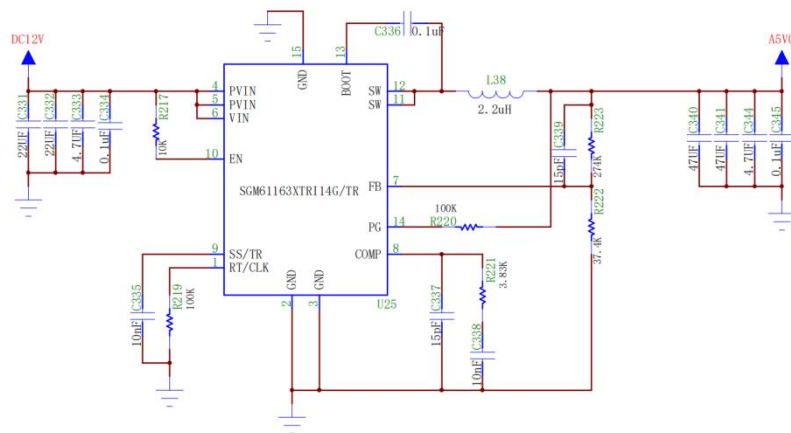
FMC_LPC_LA15_P	FMC 参考第 15 路数据	W25
FMC_LPC_LA15_N	FMC 参考第 15 路数据	Y26
FMC_LPC_LA16_P	FMC 参考第 16 路数据	AA24
FMC_LPC_LA16_N	FMC 参考第 16 路数据	AB25
FMC_LPC_LA17_P_CC	FMC 参考第 17 路数据 (时钟)P	U21
FMC_LPC_LA17_N_CC	FMC 参考第 17 路数据 (时钟)N	V21
FMC_LPC_LA18_P_CC	FMC 参考第 18 路数据 (时钟)P	U22
FMC_LPC_LA18_N_CC	FMC 参考第 18 路数据 (时钟)N	V22
FMC_LPC_LA19_P	FMC 参考第 19 路数据	U15
FMC_LPC_LA19_N	FMC 参考第 19 路数据	U16
FMC_LPC_LA20_P	FMC 参考第 20 路数据	AB26
FMC_LPC_LA20_N	FMC 参考第 20 路数据	AC26
FMC_LPC_LA21_P	FMC 参考第 21 路数据	AE18 (PG2L200H)
FMC_LPC_LA21_N	FMC 参考第 21 路数据	AF18 (PG2L200H)
FMC_LPC_LA22_P	FMC 参考第 22 路数据	V26
FMC_LPC_LA22_N	FMC 参考第 22 路数据	W26
FMC_LPC_LA23_P	FMC 参考第 23 路数据	T19
FMC_LPC_LA23_N	FMC 参考第 23 路数据	U19
FMC_LPC_LA24_P	FMC 参考第 24 路数据	W14 (PG2L200H)
FMC_LPC_LA24_N	FMC 参考第 24 路数据	W15 (PG2L200H)
FMC_LPC_LA25_P	FMC 参考第 25 路数据	AB16 (PG2L200H)
FMC_LPC_LA25_N	FMC 参考第 25 路数据	AC16 (PG2L200H)
FMC_LPC_LA26_P	FMC 参考第 26 路数据	AE17 (PG2L200H)
FMC_LPC_LA26_N	FMC 参考第 26 路数据	AF17 (PG2L200H)
FMC_LPC_LA27_P	FMC 参考第 27 路数据	AC17 (PG2L200H)
FMC_LPC_LA27_N	FMC 参考第 27 路数据	AD17 (PG2L200H)
FMC_LPC_LA28_P	FMC 参考第 28 路数据	AD25 (PG2L200H)
FMC_LPC_LA28_N	FMC 参考第 28 路数据	AD26 (PG2L200H)
FMC_LPC_LA29_P	FMC 参考第 29 路数据	AC22 (PG2L200H)
FMC_LPC_LA29_N	FMC 参考第 29 路数据	AC23 (PG2L200H)
FMC_LPC_LA30_P	FMC 参考第 30 路数据	AF19 (PG2L200H)
FMC_LPC_LA30_N	FMC 参考第 30 路数据	AF20 (PG2L200H)
FMC_LPC_LA31_P	FMC 参考第 31 路数据	AD23 (PG2L200H)
FMC_LPC_LA31_N	FMC 参考第 31 路数据	AD24 (PG2L200H)
FMC_LPC_LA32_P	FMC 参考第 32 路数据	AA20 (PG2L200H)

FMC_LPC_LA32_N	FMC 参考第 32 路数据	AB20 (PG2L200H)
FMC_LPC_LA33_P	FMC 参考第 33 路数据	AD20 (PG2L200H)
FMC_LPC_LA33_N	FMC 参考第 33 路数据	AE20 (PG2L200H)

注: FMC 部分管脚仅 PG2L200H 支持, PG2L100H 为 NC

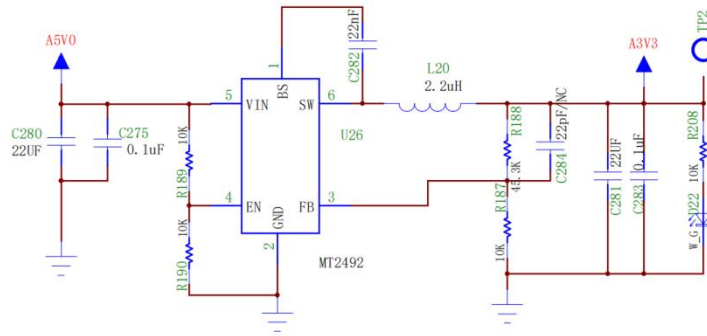
2.1.3.7. 供电电源

开发板的电源输入电压为+12V, 请使用开发板自带的电源, 不要用其他规格的电源, 以免损坏开发板。扩展板上通过 1 路 DC/DC 电源芯片 SGM61163 把+12V 电压转化成+5V 电源, 最大输出电流 6A; 另使用两颗 DC/DC 电源芯片 MT2492, 一路把+5V 转换出+3.3V 电源最大输出电流 2A 供扩展底板使用, 另一路 VADJ 支持用户通过跳线帽 (J24) 选择把+5V 转换出 +2.5V/+1.8V 电源最大输出电流 2A, 用户可通过跳线帽 (J20) 选择+3.3V/VADJ 为核心板 BANK_L6 和 BANK_L7 供电; 同时扩展板上的+5V 电源通过板间连接器给核心板供电, 扩展板上电源设计如下图所示:



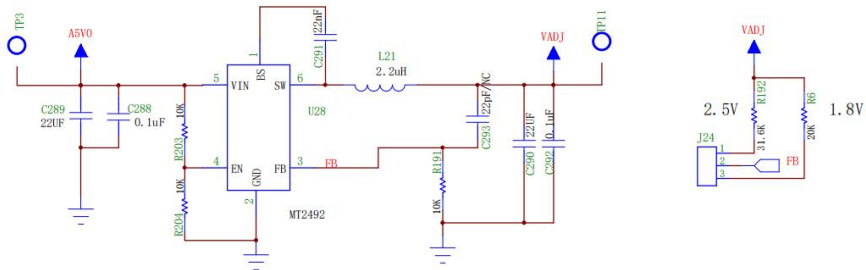
SGM61163 (12V 转 5V)

$$V_{out}=0.6*(1+R1/R2)$$



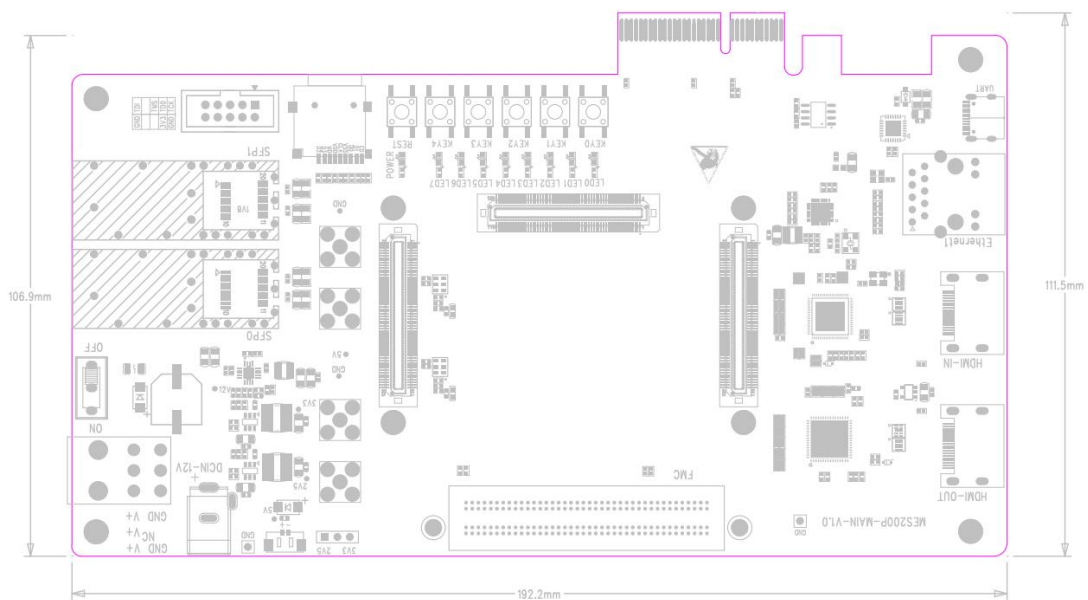
MT2492 (5V 转 3.3V)

$$V_{out}=0.6*(1+R1/R2)$$



MT2492 (5V 转 2.5V/1.8V)

2.1.3.8. 底板尺寸图



扩展底板尺寸图

