

RK3568_MES2L50H (FPGA+ARM)硬件使用手册_v1.0

硬件使用手册版本：v1.0

时间：2025-04-27

公司：深圳市小眼睛科技有限公司

客服微信：17665247134

qq 群：808770961

淘宝店铺：小眼睛半导体

邮箱：support@meyesemi.com

公司网址：www.meyesemi.com

微信公众号：



抖音：



视频号：



目录

1. FPGA 开发系统介绍	- 1 -
1.1. 开发系统概述	- 1 -
1.2. 开发系统简介	- 2 -
1.2.1. 开发系统外设资源	- 2 -
2. FPGA 系统概述	- 3 -
2.1. 系统描述	- 3 -
2.1.1. FPGA	- 3 -
2.1.2. 时钟部分	- 4 -
2.1.3. 上电 IO Status	- 5 -
2.1.4. DDR3	- 6 -
2.1.5. QSPI Flash	- 7 -
2.1.6. SFP2RGMII 网口	- 8 -
2.1.7. SFP 光纤接口	- 9 -
2.1.8. JTAG	- 10 -
2.1.9. 按键	- 10 -
2.1.10. LED 灯	- 11 -
2.1.11. FMC 连接器	- 14 -
2.1.12. 40pin 扩展口	- 18 -
3. FPGA 与 RK 通信的引脚	- 20 -
4. ARM 系统概述	- 21 -
4.1 系统描述	- 21 -
4.2 时钟部分	- 22 -
4.3 LPDDR4	- 23 -
4.4 EMMC	- 23 -
4.5 Debug	- 23 -
4.6 HDMI OUT	- 24 -
4.7 MIPI OUT	- 25 -

4.8 音频 Codec	- 26 -
4.9 RJ45 X2	- 27 -
4.10 WIFI	- 27 -
4.11 TF	- 27 -

1. FPGA 开发系统介绍

1.1. 开发系统概述

RK3568_MES2L50H 核心板采用紫光创 logos2 系列 FPGA, 型号 : PG2L50H-6IFBG484。开发板采用核心板+扩展板结构, 核心板与扩展板之间使用高速板对板连接器进行连接, 核心板侧连接器型号 : LB3524-G120P-WOR , 扩展板侧连接器型号 : LB3524-G120S-WOR。

核心板的 FPGA 部分主要由 FPGA+1 颗 DDR3+2 颗 FLASH+电源及复位电路组成, 承担了 FPGA 最小系统运行及高速数据处理及存储功能。FPGA 选用紫光同创 28nm 工艺 FPGA (logos2 : PG2L50H-6IFBG484) ; PG2L50H 与 DDR3 在数据交互时时钟频率最高可达 1066Mbps, DDR3 数据位宽为 16bit, 因此数据带宽可达 (1066Mbps*16) , 充分满足高速多路数据存储的需求 ; 另外 PG2L50H FPGA 带有 4 路 HSST 高速收发器, 每路速度高达 6.6Gbps, 非常适用于光纤通信与 PCIe 通信 ; 核心板上的 FLASH 主要用于存储 FPGA 配置文件 。

底板为核心板扩展了丰富的外围接口, 其中包括两个光纤模块接口, FMC 接口、40pin 接口, 并配置了按键、LED 灯。

1.2. 开发系统简介

1.2.1. 开发系统外设资源

光纤接口	*2
40PIN 扩展口	*4
用户按键	*2
Jtag 调试接口	*1
LED 灯	*3
FMC 扩展口	*1

2. FPGA 系统概述

2.1. 系统描述

2.1.1. FPGA

FPGA 型号为 PG2L50H-6IFBG484，属于紫光同创 logos2 系列产品，速度等级为 6，温度范围：工业级（-40~100C°），FBG 封装，管脚数目 484。

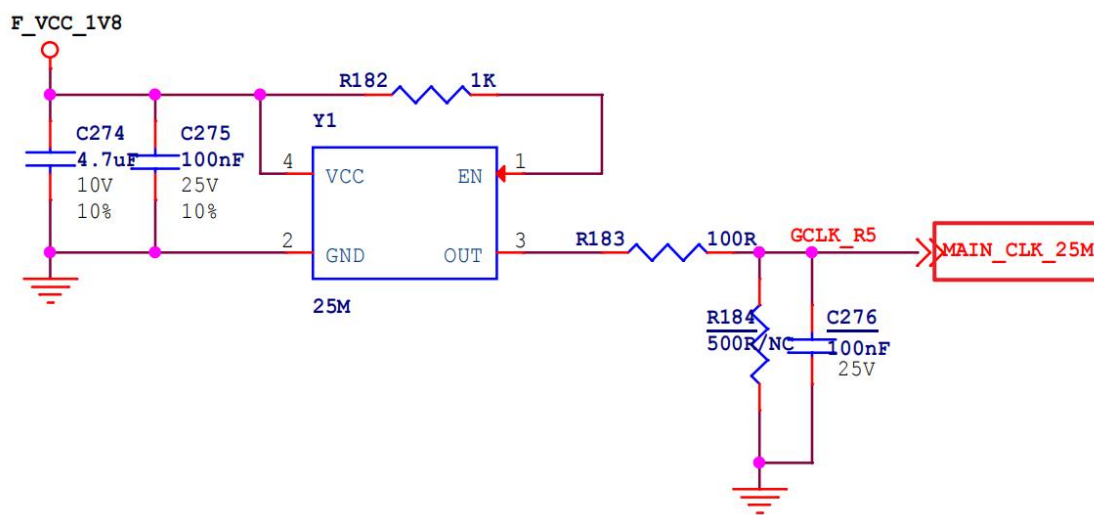
PG2L50H-6IFBG484 主要参数如下：

资源		参数
逻辑资源	触发器 (FF)	71600
	LUT6	35800
	等效 LUT4	53700
RAM 资源	分布式 RAM (Kbit)	742
	块 RAM 数量 (36K/块)	85
	块 RAM (Kbit)	3060
时钟资源	GPLL	5
	PPLL	5
硬核资源	APM (25*18 乘法器)	120
	ADC	1
	AES	1
	HSST (6.6G)	4
	PCIE Gen2*4	1
IO 资源	用户 IO	250

2.1.2. 时钟部分

2.1.2.1. 25MHz 单端时钟

下图 U11 为 25MHz 有源晶振电路，此时中连接至 FPGA 的全局时钟管脚上，可为 FPGA 提供输入参考时钟。

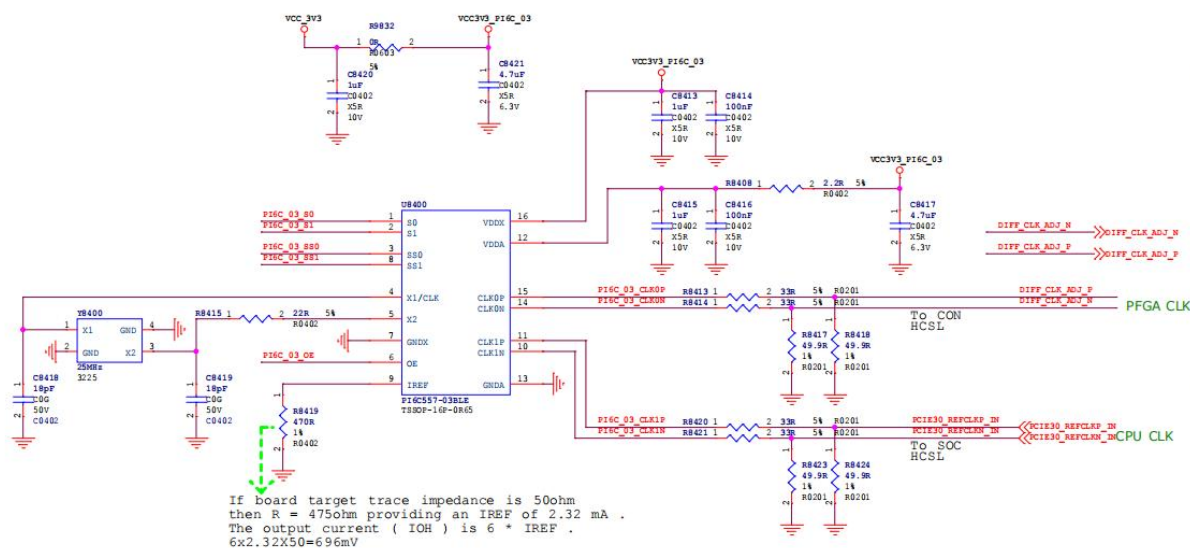


核心板 25MHz 有源晶振电路

具体的管脚约束如下表所示：

信号	描述	FPGA 管脚
MAIN_CLK_25M	FPGA 输入全局时钟	V4

2.1.2.2.HSST 时钟



在核心板上采用 PI6C557-05BLE 时钟芯片, 由晶振输出 25MHZ, 倍频后输出 100MHZ 的差分时钟提供到 FPGA 的 HSST 时钟以及 RK 端的 PCIe 的时钟信号。

信号	描述	FPGA 管脚
HSSTREFCLK0_CP_QR3	HSST 参考时钟 P 端	F6
HSSTREFCLK0_CN_QR3	HSST 参考时钟 N 端	E6

2.1.3. 上电 IO Status

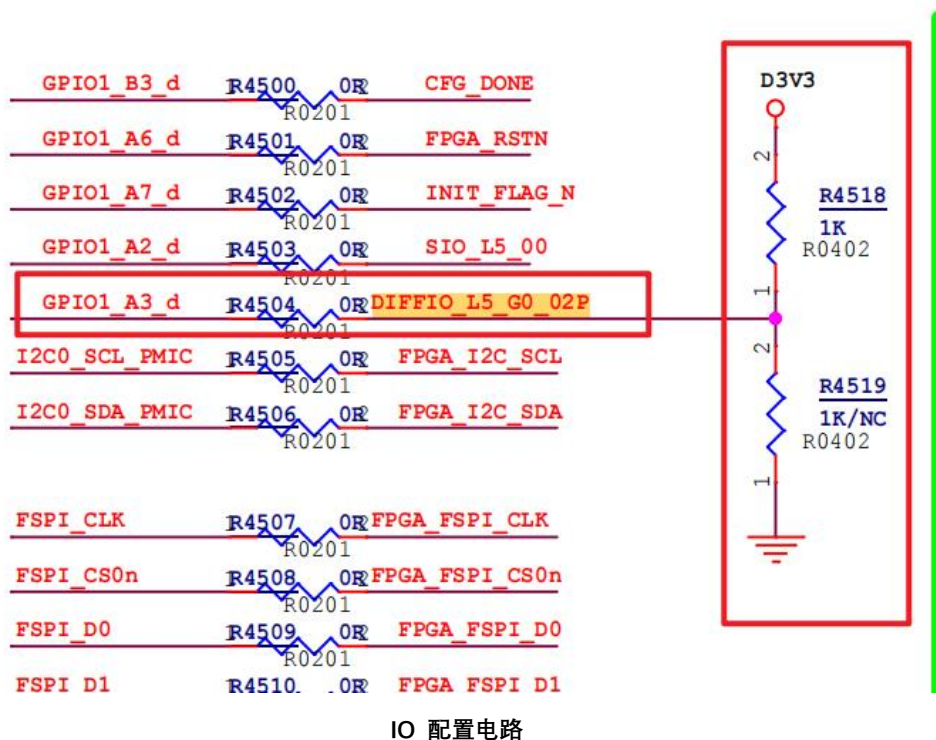
在 Logos2 器件上有一个功能复用 IO，控制从上电完成后到进入用户模式之前中所有用户 IO 的弱上拉电阻是否使能。此管脚在配置之前或是配置过程中，该引脚不允许悬空，此 IO 在上电后的对应功能如下：

- (1) “0”，使能所有用户 IO 内部上拉电阻。

(2) “1”，不使能所有用户 IO 内部上拉电阻。

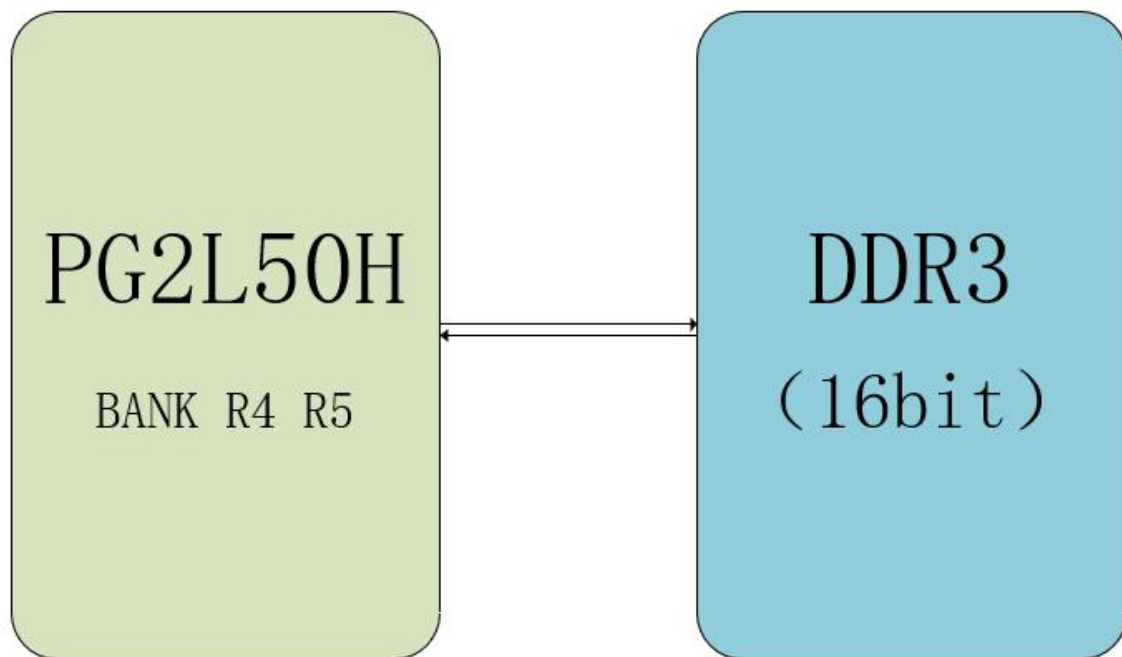
将此管脚的功能默认接 GND，用户可根据需求，自行焊接电阻选择上电后初始的 IO 状态，也可以由 RK 端控制。

功能电路如下：



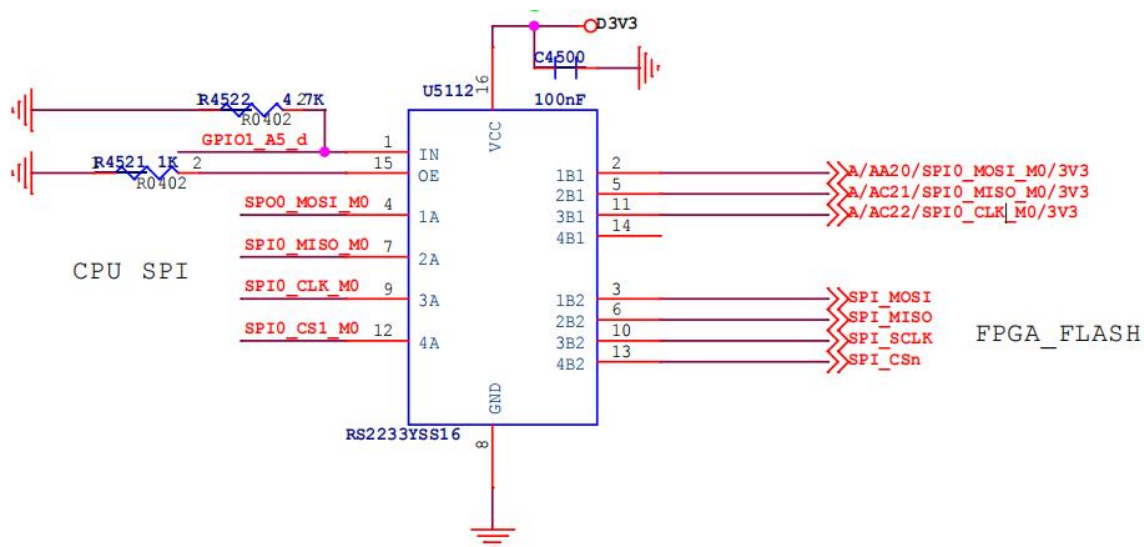
2.1.4. DDR3

核心板通过 BANK R4、BANK R5 连接一片 DDR3，一片 DDR3 是 16bit。使用的型号是江波龙的 F60C1A0004-M79W，容量为 512MByte，最大数据率为 1066Mbps。



2.1.5. QSPI Flash

FPGA 端通过 SPI 总线连接 Flash, 采用芯天下的 XT25BF128FSSIGU-W, 容量为 128Mbit, 此外, RK 端的 SPI 总线可以通过模拟开关切换后连接至 FPGA 的 SPI FLASH, 可以通过 RK 来固化 FPGA 端的 FLASH 来实现远程升级。



2.1.6. SFP2RGMII 网口

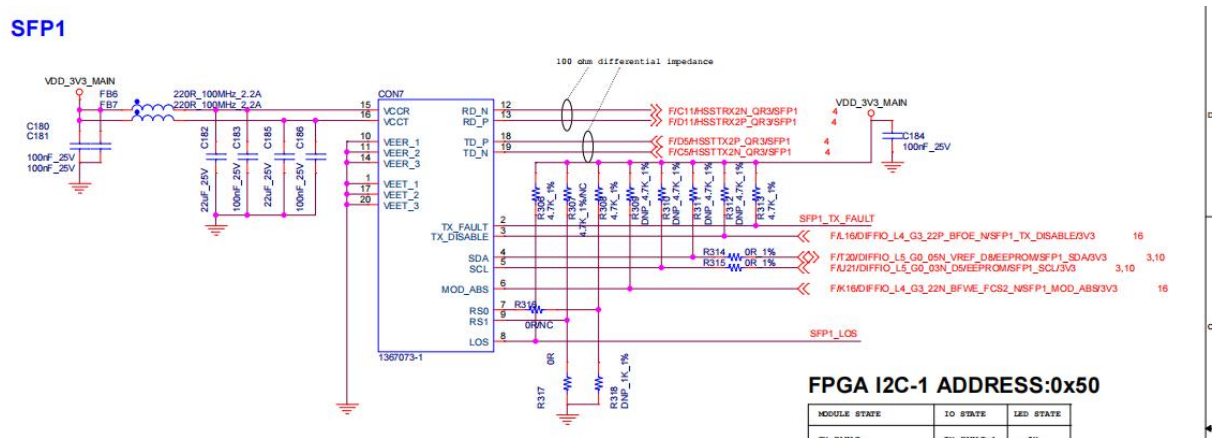
底板使用的是裕太微电子的 YT8521SH-CA，用于网络连接。该芯片集成以太网收发器，提供 10/100/1000Mbps 自适应以太网接口，FPGA 通过 BANK L4 和 YT8521SH-CA 通信。

具体的管脚分配如下所示：

信号名称	描述	PG2L50H-484 管脚	YT8521SH Pin
RGMII2_RXCLK	接收时钟线	D19	28
RGMII2_RXDV	接收控制线	H19	27
RGMII2_RXD[3]	接收数据线 3	G20	23
RGMII2_RXD[2]	接收数据线 2	H20	24
RGMII2_RXD[1]	接收数据线 1	H22	25
RGMII2_RXD[0]	接收数据线 0	J22	26
RGMII2_TXCLK	发送时钟线	J20	21
RGMII2_TXEN	发送控制线	J21	20
RGMII2_TXD[3]	发送数据线 3	K21	16
RGMII2_TXD[2]	发送数据线 2	K22	17
RGMII2_TXD[1]	发送数据线 1	M21	18
RGMII2_TXD[0]	发送数据线 0	L21	19
RGMII2_MDC	控制总线时钟	H17	14
RGMII2_MDIO	控制总线数据	H18	15
RGMII2_RESETn	复位控制线, 低有效	H15	13

2.1.7. SFP 光纤接口

底板上有 1 路 SFP 光纤接口，用户可使用光模块与光纤接口相连进行光纤通信。光纤接口分别跟 FPGA 的 HSST 收发器的 RX/TX 相连接，TX 信号和 RX 信号都是以差分信号方式连接 FPGA 和光模块，每路 TX 发送和 RX 接收数据速率高达 6.6Gb/s。HSST 收发器的参考时钟由核心板上的 PI6C557 时钟芯片产生的 100M 差分时钟提供。



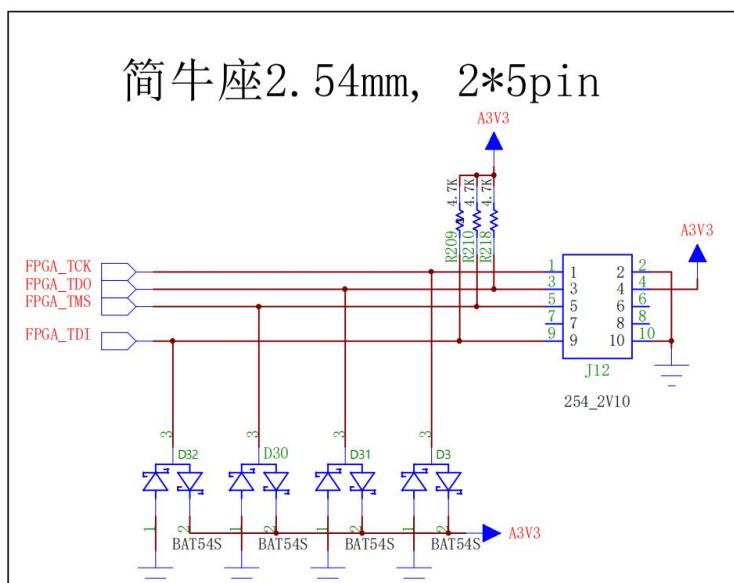
FPGA 与光纤设计示意图

具体的管脚约束如下表所示：

信号名称	描述	PG2L50H-484 管脚
HSSTTX2P_QR3	光模块数据发送 P 端	D5
HSSTTX2N_QR3	光模块数据发送 N 端	C5
HSSTRX2P_QR3	光模块数据接收 P 端	D11
HSSTRX2N_QR3	光模块数据接收 N 端	C11
SFP1_LOS	光模块接收 Loss 信号，高表示没有接收到光信号	/
SFP1_TX_DISABLE	光模块光发射禁止，高有效	L16
SFP1_SCL	光模块 I2C 通信时钟	U21
SFP1_SDA	光模块 I2C 通信数据	T20

2.1.8. JTAG

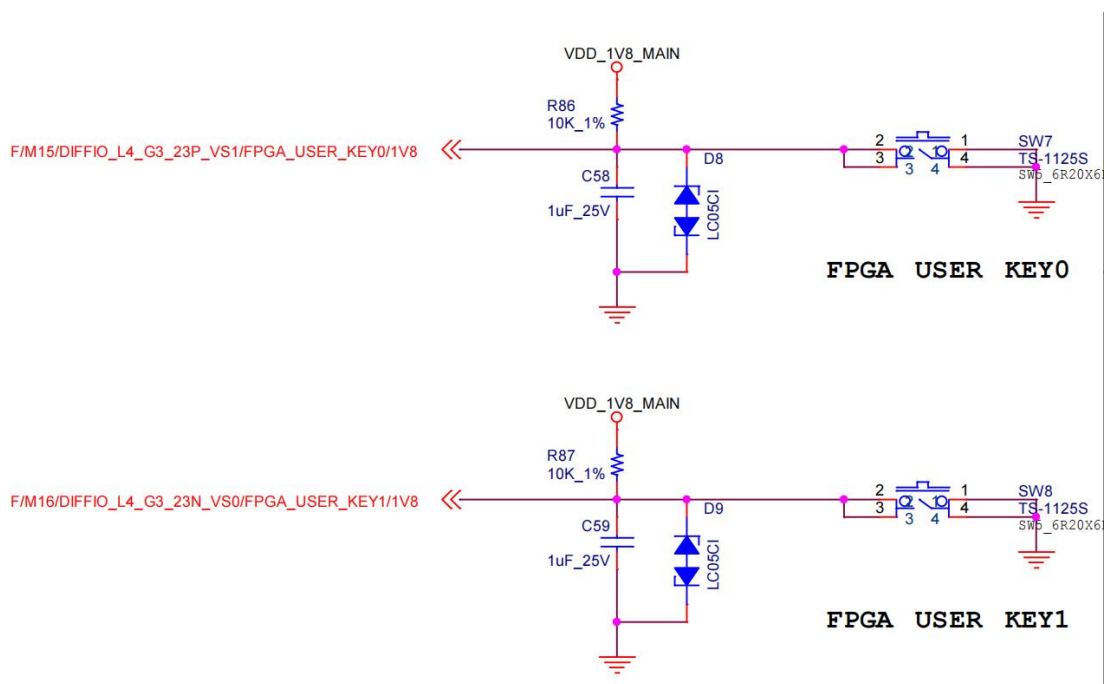
扩展底板上的 JTAG 接口用于下载 FPGA 程序或者固化程序到 FLASH。在硬件设计上在 JTAG 信号位置添加了保护二极管来保证信号的电压在 FPGA 接受的范围，但仍需注意在通电的情况下，应避免插拔 jtag 接口的操作。



JTAG 连接座原理图

2.1.9. 按键

开发板上扩展有 2 个用户按键，按键连接在 FPGA 普通 IO 上，低电平有效；按键未按下时，按键信号为高电平，当按键按下时，按键信号为低电平。



按键电路图

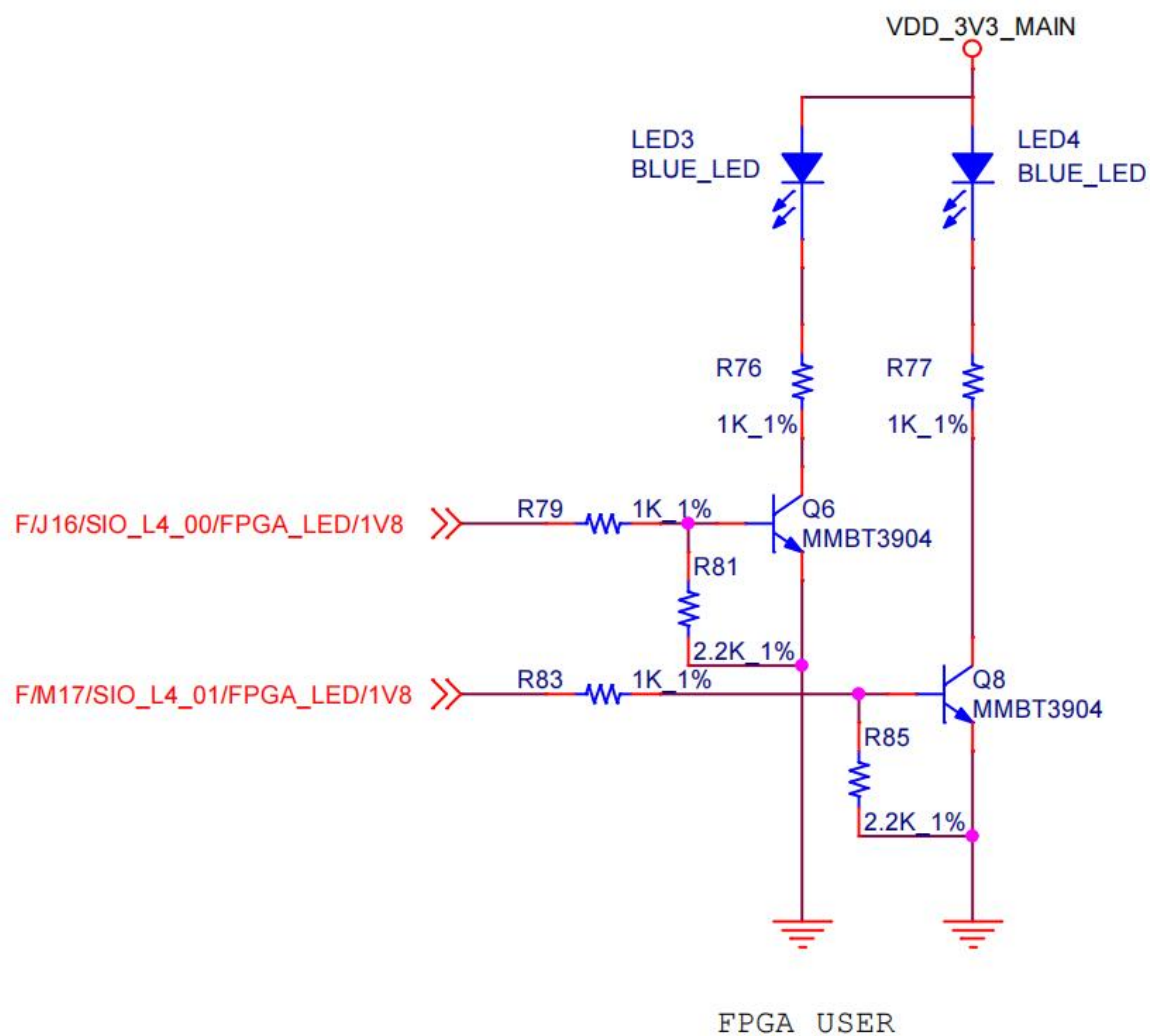
具体管脚分配如下：

信号	描述	FPGA 管脚
KEY0	按键控制信号	M15
KEY1		M16

2.1.10. LED 灯

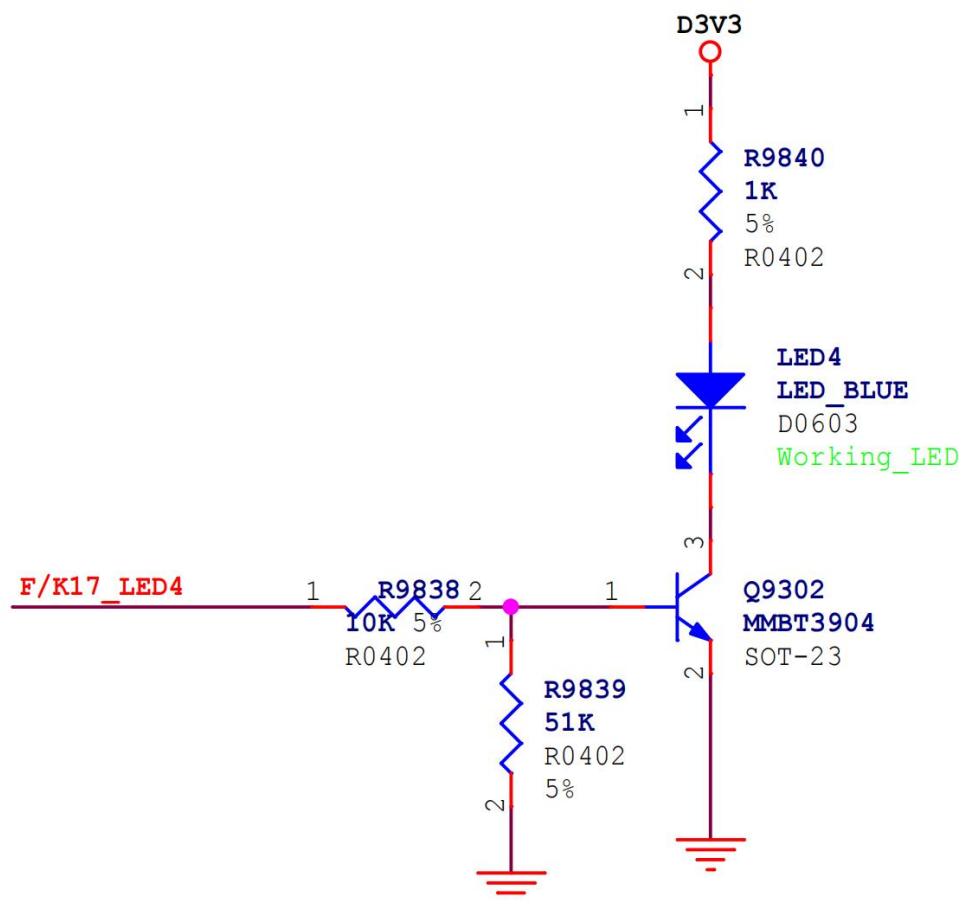
开发板上扩展有 2 个用户 LED 灯，连接在 PG2L50H 的 bank L4 上，FPGA 输出高电平时 LED 灯亮。核心板上也有一个用户 LED。

扩展板上 LED 灯功能电路图如下图所示：



LED 灯电路图

核心板上 LED 灯功能电路图如下图所示：



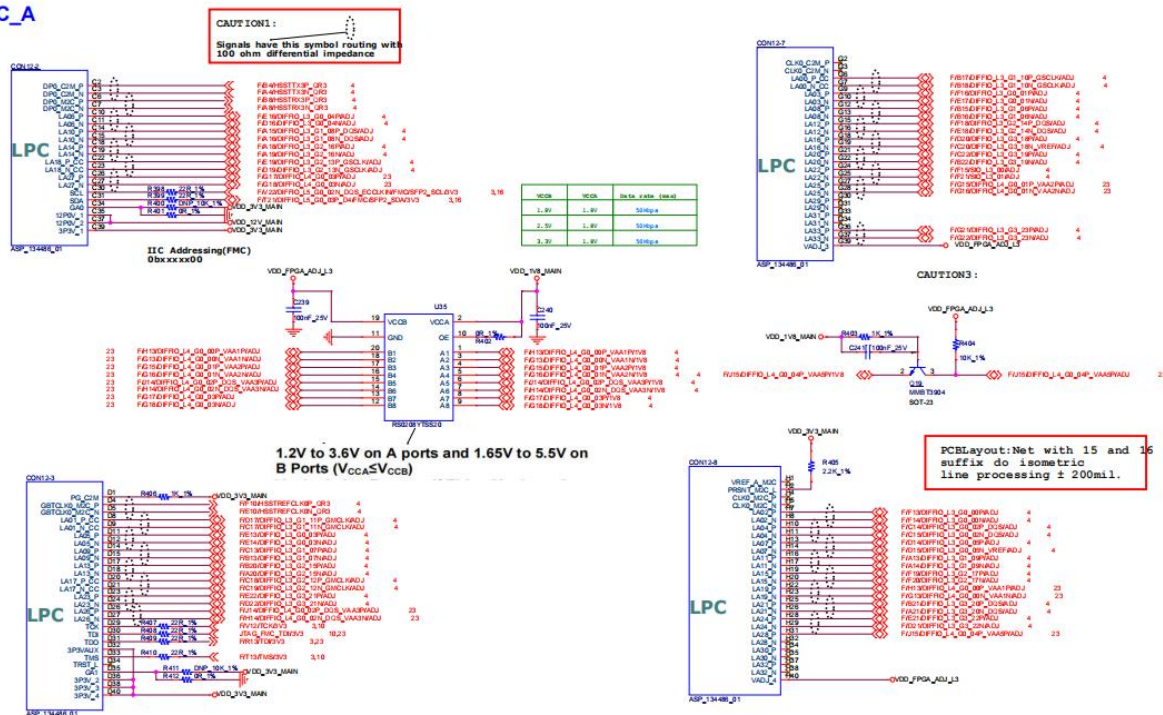
具体的管脚分配如下所示：

信号	描述	FPGA 管脚
LED3	LED3 控制信号	J16
LED4	LED4 控制信号	M17
K17_LED4	核心板 LED 控制信号	K17

2.1.11. FMC 连接器

扩展底板预留了一组 FMC LPC 扩展口，符合 FMC 接口规范，可用于外接 FMC 模块（HDMI 输入输出模块、高速 AD 模块等）。

FMC_A



具体的管脚分配如下表所示：

J33-A：

信号	描述	FPGA 管脚
FMC_LPC_DP0_C2M_P(C2)	FMC 模块的高速串行口数据线，接收 FPGA 的数据信号 P	B4
FMC_LPC_DP0_C2M_N(C3)	FMC 模块的高速串行口数据线，接收 FPGA 的数据信号 N	A4
FMC_LPC_DP0_M2C_P(C6)	FMC 模块的高速串行口数据线，发送数据到 FPGA 信号 P	B8
FMC_LPC_DP0_M2C_N(C7)	FMC 模块的高速串行口数据线，发送数据到 FPGA 信号 N	A8
FMC_LPC_GBTCLK0_M2C_P(D4)	FMC 模块的高速串行口参考时钟 P	F10

FMC_LPC_GBTCLK0_M2C_N(D5)	FMC 模块的高速串行口参考时钟 N	E10
FMC_LPC_IIC_SCL(C30)	FMC I2C 总线时钟	V22
FMC_LPC_IIC_SDA(C31)	FMC I2C 总线数据	T21
FMC_LPC_CLK0_M2C_P(H4)	FMC 参考第 1 路参考时钟 P	NC
FMC_LPC_CLK0_M2C_N(H5)	FMC 参考第 1 路参考时钟 N	NC
FMC_LPC_CLK0_C2M_P(G2)	FMC 参考第 2 路参考时钟 P	NC
FMC_LPC_CLK0_C2M_N(G3)	FMC 参考第 2 路参考时钟 N	NC
FMC_LPC_LA00_P_CC(G6)	FMC 参考第 0 路数据 (时钟) P	B17
FMC_LPC_LA00_N_CC(G7)	FMC 参考第 0 路数据 (时钟) N	B18
FMC_LPC_LA01_P_CC(D8)	FMC 参考第 1 路数据 (时钟) P	D17
FMC_LPC_LA01_N_CC(D9)	FMC 参考第 1 路数据 (时钟) N	C17
FMC_LPC_LA02_P(H7)	FMC 参考第 2 路数据	F13
FMC_LPC_LA02_N(H8)	FMC 参考第 2 路数据	F14
FMC_LPC_LA03_P(G9)	FMC 参考第 3 路数据	F16
FMC_LPC_LA03_N(G10)	FMC 参考第 3 路数据	E17
FMC_LPC_LA04_P(H10)	FMC 参考第 4 路数据	C14
FMC_LPC_LA04_N(H11)	FMC 参考第 4 路数据	C15
FMC_LPC_LA05_P(D11)	FMC 参考第 5 路数据	E13
FMC_LPC_LA05_N(D12)	FMC 参考第 5 路数据	E14
FMC_LPC_LA06_P(C10)	FMC 参考第 6 路数据	E16
FMC_LPC_LA06_N(C11)	FMC 参考第 6 路数据	D16
FMC_LPC_LA07_P(H13)	FMC 参考第 7 路数据	D14
FMC_LPC_LA07_N(H14)	FMC 参考第 7 路数据	D15
FMC_LPC_LA08_P(G12)	FMC 参考第 8 路数据	B15
FMC_LPC_LA08_N(G13)	FMC 参考第 8 路数据	B16
FMC_LPC_LA09_P(D14)	FMC 参考第 9 路数据	C13

FMC_LPC_LA09_N(D15)	FMC 参考第 9 路数据	B13
FMC_LPC_LA10_P(C14)	FMC 参考第 10 路数据	A15
FMC_LPC_LA10_N(C15)	FMC 参考第 10 路数据	A16
FMC_LPC_LA11_P(H16)	FMC 参考第 11 路数据	A13
FMC_LPC_LA11_N(H17)	FMC 参考第 11 路数据	A14
FMC_LPC_LA12_P(G15)	FMC 参考第 12 路数据	F18
FMC_LPC_LA12_N(G16)	FMC 参考第 12 路数据	E18
FMC_LPC_LA13_P(D17)	FMC 参考第 13 路数据	B20
FMC_LPC_LA13_N(D18)	FMC 参考第 13 路数据	A20
FMC_LPC_LA14_P(C18)	FMC 参考第 14 路数据	A18
FMC_LPC_LA14_N(C19)	FMC 参考第 14 路数据	A19
FMC_LPC_LA15_P(H19)	FMC 参考第 15 路数据	F19
FMC_LPC_LA15_N(H20)	FMC 参考第 15 路数据	F20
FMC_LPC_LA16_P(G18)	FMC 参考第 16 路数据	D20
FMC_LPC_LA16_N(G19)	FMC 参考第 16 路数据	C20
FMC_LPC_LA17_P_CC(D20)	FMC 参考第 17 路数据 (时钟) P	C18
FMC_LPC_LA17_N_CC(D21)	FMC 参考第 17 路数据 (时钟) N	C19
FMC_LPC_LA18_P_CC(C22)	FMC 参考第 18 路数据 (时钟) P	E19
FMC_LPC_LA18_N_CC(C23)	FMC 参考第 18 路数据 (时钟) N	D19
FMC_LPC_LA19_P(H22)	FMC 参考第 19 路数据	H13
FMC_LPC_LA19_N(H23)	FMC 参考第 19 路数据	G13
FMC_LPC_LA20_P(G21)	FMC 参考第 20 路数据	C22
FMC_LPC_LA20_N(G22)	FMC 参考第 20 路数据	B22
FMC_LPC_LA21_P(H25)	FMC 参考第 21 路数据	B21
FMC_LPC_LA21_N(H26)	FMC 参考第 21 路数据	A21
FMC_LPC_LA22_P(G24)	FMC 参考第 22 路数据	F15
FMC_LPC_LA22_N(G25)	FMC 参考第 22 路数据	F21

FMC_LPC_LA23_P(D23)	FMC 参考第 23 路数据	E22
FMC_LPC_LA23_N(D24)	FMC 参考第 23 路数据	D22
FMC_LPC_LA24_P(H28)	FMC 参考第 24 路数据	D21
FMC_LPC_LA24_N(H29)	FMC 参考第 24 路数据	A21
FMC_LPC_LA25_P(G27)	FMC 参考第 25 路数据	G15
FMC_LPC_LA25_N(G28)	FMC 参考第 25 路数据	G16
FMC_LPC_LA26_P(D26)	FMC 参考第 26 路数据	J14
FMC_LPC_LA26_N(D27)	FMC 参考第 26 路数据	H14
FMC_LPC_LA27_P(C26)	FMC 参考第 27 路数据	G17
FMC_LPC_LA27_N(C27)	FMC 参考第 27 路数据	G18
FMC_LPC_LA28_P(H31)	FMC 参考第 28 路数据	J15
FMC_LPC_LA28_N	FMC 参考第 28 路数据	NC
FMC_LPC_LA29_P	FMC 参考第 29 路数据	NC
FMC_LPC_LA29_N	FMC 参考第 29 路数据	NC
FMC_LPC_LA30_P	FMC 参考第 30 路数据	NC
FMC_LPC_LA30_N	FMC 参考第 30 路数据	NC
FMC_LPC_LA31_P	FMC 参考第 31 路数据	NC
FMC_LPC_LA31_N	FMC 参考第 31 路数据	NC
FMC_LPC_LA32_P	FMC 参考第 32 路数据	NC
FMC_LPC_LA32_N	FMC 参考第 32 路数据	NC
FMC_LPC_LA33_P(G36)	FMC 参考第 33 路数据	G21
FMC_LPC_LA33_N(G37)	FMC 参考第 33 路数据	G22

2.1.12. 40pin 扩展口

扩展板预留 1 个 2.54mm 标准间距的 40 针的扩展口 J8，用于连接各个模块或者用户自己设计的外面电路，扩展口有 40 个信号，其中，5V 电源 1 路，3.3V 电源 2 路，地 3 路，IO 口 34 路。**切勿 IO 直接跟 5V 设备直接连接，以免烧坏 FPGA。如果要接 5V 设备，需要接电平转换芯片。**

EXPORT

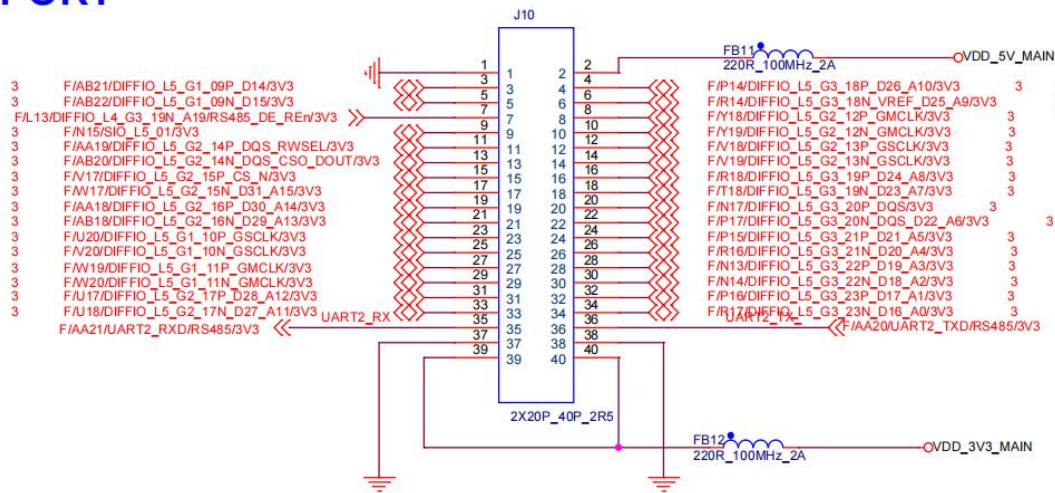


图 3-12 40pin 扩展 IO 原理图

表 3-12 40pin 扩展 IO

引脚编号	网络名称	PG2L50H 管脚	引脚编号	网络名称	PGL250H 管脚
1	GND	\	2	5V0	\
3	DIFFIO_L5_G1_09P_D14	AB21	4	DIFFIO_L5_G3_18P_D26_A10	P14
5	DIFFIO_L5_G1_09N_D15	AB22	6	DIFFIO_L5_G3_18N_D25_A9	R14
7	RS485_DE_REn	L13	8	DIFFIO_L5_G2_12P_GMCLK	Y18
9	SIO_L5_01	N15	10	DIFFIO_L5_G2_12N_GMCLK	Y19
11	DIFFIO_L5_G2_14P_DQS_RWSEL	AA19	12	DIFFIO_L5_G2_13P_GSCLK	V18
13	DIFFIO_L5_G2_14P_DQS_CSO_DOUT	Ab20	14	DIFFIO_L5_G2_13N_GSCLK	V19
15	DIFFIO_L5_G2_15P_CS_N	V17	16	DIFFIO_L5_G3_19P_D24_A8	R18
17	DIFFIO_L5_G2_15N_D31_A15	W17	18	DIFFIO_L5_G3_19N_D23_A7	T18
19	DIFFIO_L5_G2_16P_D30	AA18	20	DIFFIO_L5_G3_20P_DQS	N17

21	DIFFIO_L5_G2_16N_D29	AB18		22	DIFFIO_L5_G3_20N_DQS_D22_A6	P17
23	DIFFIO_L5_G1_10P_GSCLK	U20		24	DIFFIO_L5_G3_21P_D21_A5	P15
25	DIFFIO_L5_G1_10N_GSCLK	V20		26	DIFFIO_L5_G3_21N_D20_A4	R16
27	DIFFIO_L5_G1_11P_GMCLK	W19		28	DIFFIO_L5_G3_22P_D19_A3	N13
29	DIFFIO_L5_G1_11N_GMCLK	W20		30	DIFFIO_L5_G3_22N_D18_A2	N14
31	DIFFIO_L5_G2_17P_D28_A12	U17		32	DIFFIO_L5_G3_23P_D17_A1	P16
33	DIFFIO_L5_G2_17P_D28_A11	U18		34	DIFFIO_L5_G3_23N_D16_A0	R17
35	UART2_RXD	AA21		36	UART2_TXD	AA20
37	GND	\		38	GND	\
39	A3V3	\		40	A3V3	\

3. FPGA 与 RK 通信的引脚



RK 与 FPGA 之间通过 PCIe、FSPI、I2C0 以及部分 GPIO 相连，其具体 IO 如下表所

示：

RK 端引脚		FPGA 端引脚	
芯片引脚号	IO 名称	芯片引脚号	IO 名称
B21	GPIO1_B3_d	G11	CFG_DONE
C20	GPIO1_A6_d	N12	RSTN
B20	GPIO1_A7_d	U12	INIT_FLAG_N
A19	GPIO1_A2_d	P20	SIO_L5_00
B19	GPIO1_A3_d	U22	DIFFIO_L5_G0_02P_DQS_IO_ST
AF24	I2C0_SCL_PMIC	P19	DIFFIO_L5_G0_04P_D6 (I2C_SCL)
AB21	I2C0_SDA_PMIC	R19	DIFFIO_L5_G0_04N_D7 (I2C_SDA)
A22	FSPI_CLK	L19	DIFFIO_L4_G2_13P_GSCLK (FSPI_CLK)
C23	FSPI_CS0n	L20	DIFFIO_L4_G2_13N_GSCLK (FSPI_CS0n)

C24	FSPI_D0	N22	DIFFIO_L4_G2_14P_GSCLK (FSPI_D0)
D23	FSPI_D1	M22	DIFFIO_L4_G2_14N_GSCLK (FSPI_D1)
F20	FSPI_D2	M18	DIFFIO_L4_G2_15P_GSCLK (FSPI_D2)
A27	FSPI_D3	L18	DIFFIO_L4_G2_15N_GSCLK (FSPI_D3)
AA27	PCIE30_TX0P	D9	PCIE_RX0_P
AA28	PCIE30_TX0N	C9	PCIE_RX0_N
AB27	PCIE30_TX1P	B10	PCIE_RX1_P
AB28	PCIE30_TX1N	A10	PCIE_RX1_N
AC27	PCIE30_RX0P	D7	PCIE_TX0_P
AC28	PCIE30_RX0N	C7	PCIE_TX0_N
AD27	PCIE30_RX1P	B6	PCIE_TX1_P
AD28	PCIE30_RX1N	A6	PCIE_TX1_N

4. ARM 系统概述

4.1 系统描述

RK3568J 是一颗高性能、低功耗的四核应用处理器芯片，它内置了多种功能强大的嵌入式硬件引擎，为高端应用提供了优异的性能，RK3568J 为工业级，工作温度范围为 -40°C~85°C。

RK3568 的主要参数如下：

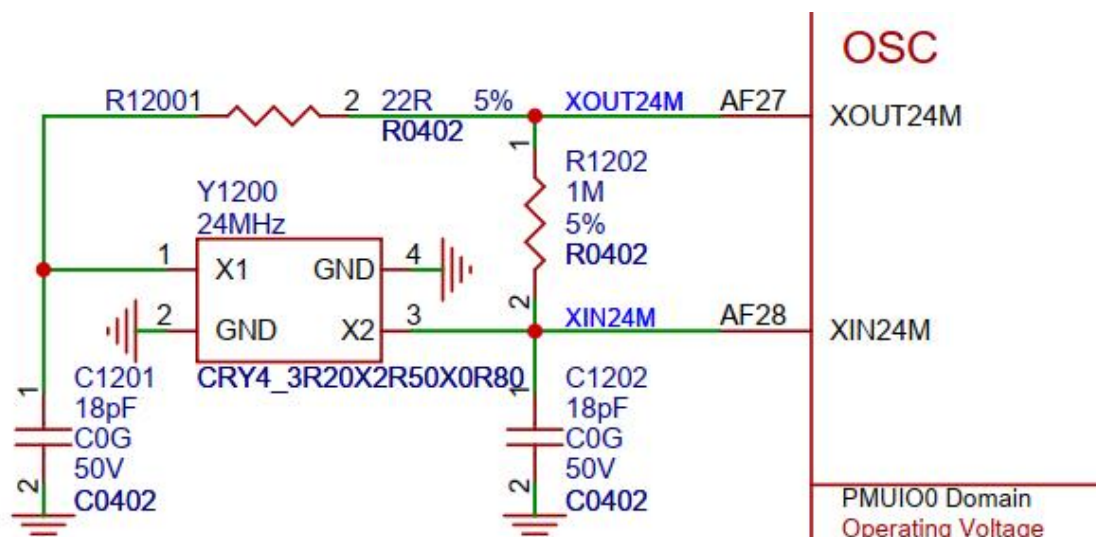
RK3568 主要功能参数	
CPU	RK3568J, 四核 64 位 Cortex-A55, 最高主频 1.8GHz
GPU	ARM G52 2EE 支持 OpenGL ES 1.1/2.0/3.2, OpenCL 2.0, Vulkan 1.1 内嵌高性能2D 加速硬件
NPU	支持 1.0T 算力
操作系统	Linux / Harmony OS / Android 11.0
内存/存储	标配2GB (4GB 可选) /标配32GB (16GB/64GB 可选)
编码能力	H.264/H.265 1080p@60fps
解码能力	H.264 4k@60fps/H.265 4k@60fps

4.2 时钟部分

下图 U1200 为 24MHz 有源晶振电路，它与 RK3568 芯片内部的振荡器电路一起构成系统时钟，可为 ARM 提供输入时钟。

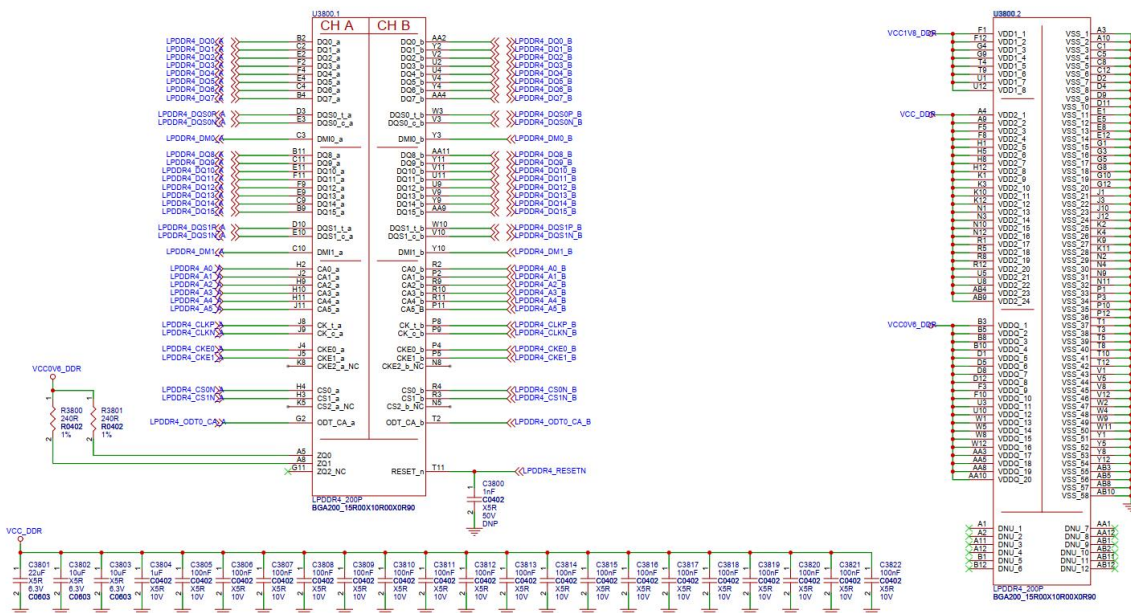
XOUT24M 网络串接 22ohm 电阻务必增加，用于限流，防止过驱。

XOUT24M 和 XIN24M 网络之间的 1Mohm 电阻不可随意修改。



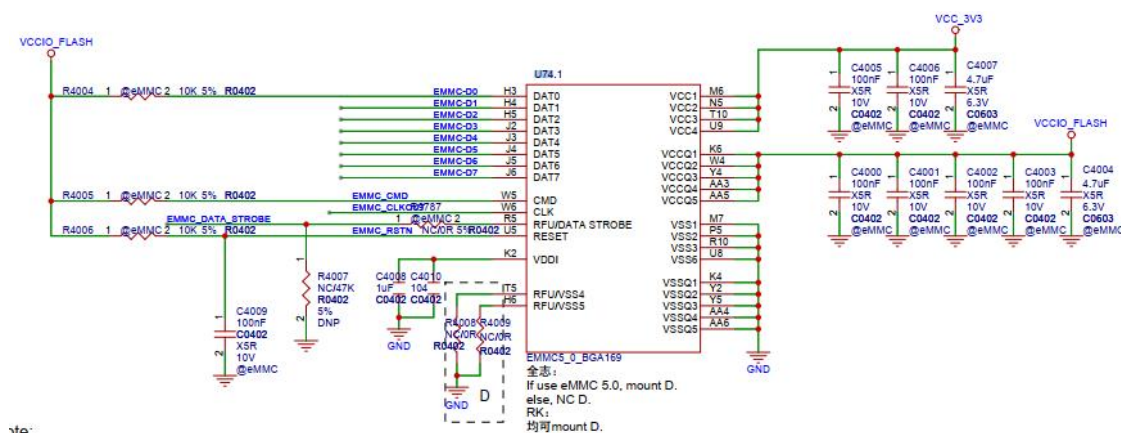
4.3 LPDDR4

RK3568 支持 32bit 数据总线宽度，可连接一片 LPDDR4 (X)，使用的型号是 Rayon 的 RS512M32LO4D1BDS-46IT，容量为 2048MByte。



4.4 EMMC

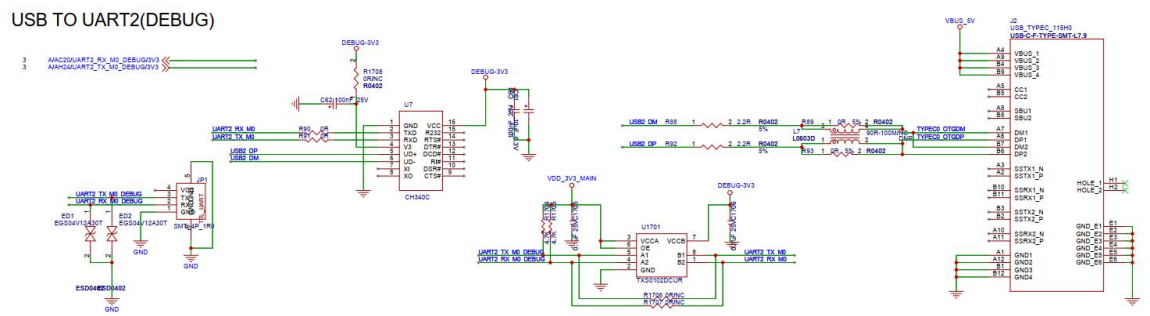
核心板上 RK3568 搭配的存储器是一颗 EMMC，默认使用的容量 32GB，支持 HS200 模式。



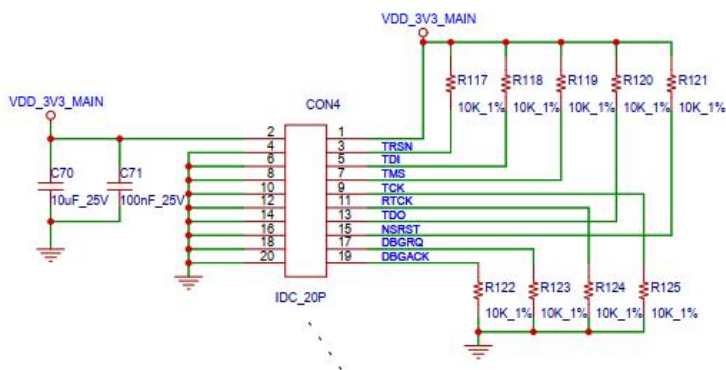
4.5 Debug

底板上有一个 uart Debug 接口和一个 JTAG Debug 调试接口，前者通过一个 USB

转串口芯片 CH340C 转换成了一个 Type-C USB 口，JTAG 调试接口则保留了标准的 20pin 的 JTAG 调试接口，方便客户通过 JTAG 进行调试开发。



ARM JTAG

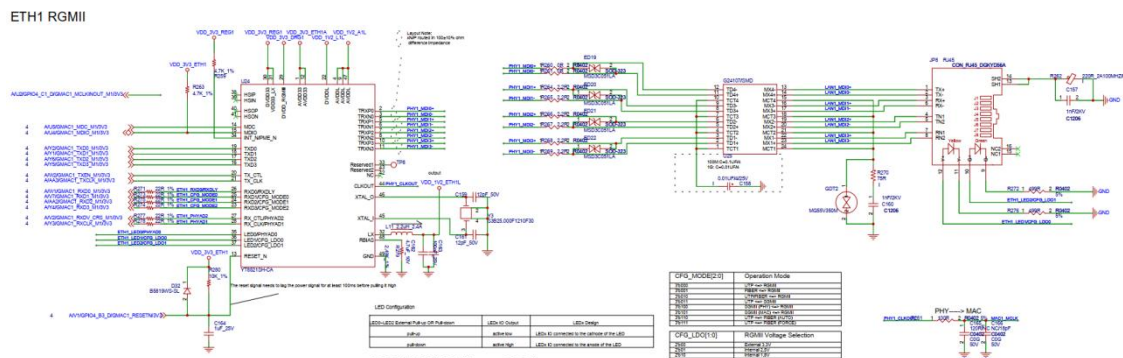


4.6 HDMI OUT

底板支持 HDMI 输出，符合 HDMI2.0 协议，最大可支持 4K@60Hz，输出座采用 HDMI A 型接口。

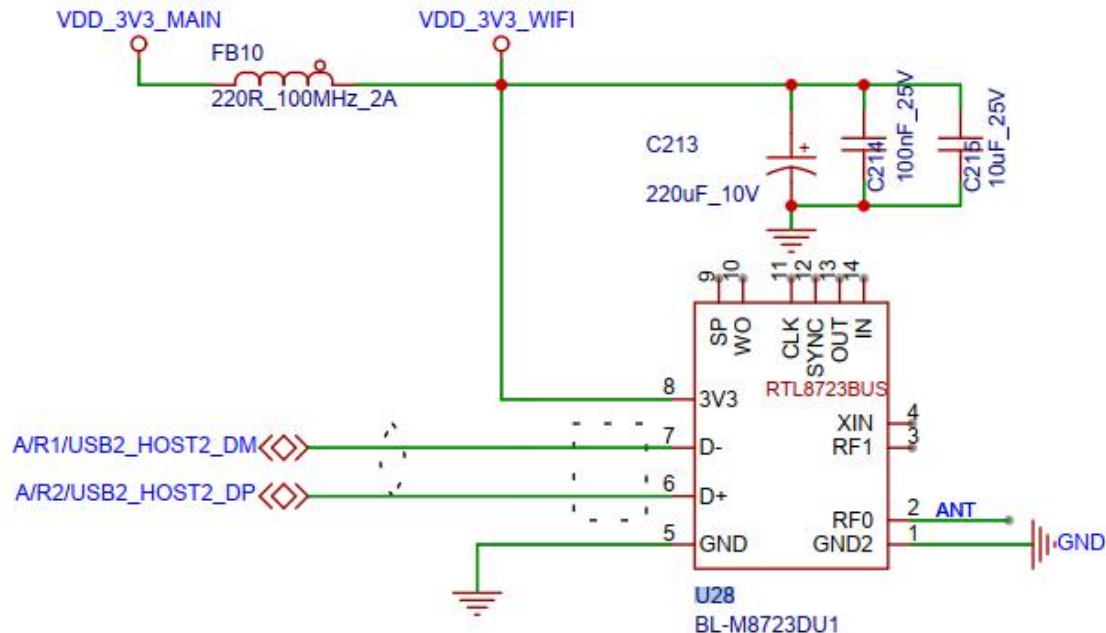
4.9 RJ45 X2

底板支持两个 RJ45 网口，可提供双千兆以太网连接功能。两路均采用 RK3568 内部集成的千兆以太网 MAC，与外部 PHY 芯片相连接，PHY 型号为 YT8521SH-CA。



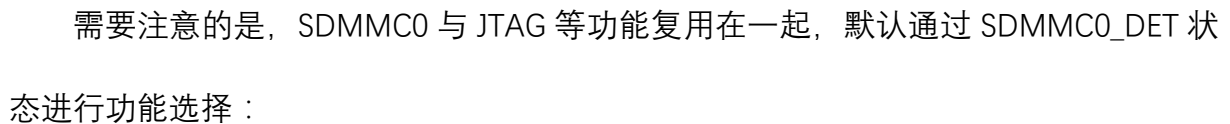
4.10 WIFI

底板上设计了一个 USB 接口的 WIFI+BT 模组，采用 BL-M8723DU1。



4.11 TF

底板上的 TF Card 使用 RK3568 的 SDMMC0 接口，可扩展系统存储容量，数据总线



- 1.该管脚检测为高电平，则对应 IO 切换到 ARM JTAG 功能；
- 2.当检测到为低电平（大部分 SD 卡插入会拉低该管脚），对应 IO 切换为 SDMMC0 功能。

